



SYM32L053 数据手册

ARM[®] Cortex[®]-M0+ 32 位微控制器

1 产品特性

- 内核：ARM® Cortex®-M0+ CPU
- 64K 字节 FLASH，具有擦写保护功能，支持 ISP、ICP、IAP，4 级安全保护
- 256 字节 OTP
- 8K 字节 RAM，具备硬件奇偶校验功能
- 复位和电源管理
 - 上电和掉电复位（POR/BOR）
 - 可编程低电压检测器（LVD）
 - 低功耗模式（Sleep，DeepSleep）
0.5 uA @ DeepSleep；RAM、端口保持
- 时钟管理
 - 4 ~ 32MHz 高频晶体振荡器
 - 32.768kHz 低频晶体振荡器
 - 内置 48MHz RC 振荡器
 - 内置 32.768kHz RC 振荡器
 - 内置 8kHz RC 振荡器
 - 内置 120kHz RC 振荡器
 - 时钟监测系统
- 多达 56 路 I/O 管脚
 - 所有 I/O 口支持具备滤波的中断功能
 - 所有 I/O 口支持具备滤波的唤醒功能
- 定时器
 - 1 个 16 位高级定时器，支持 3 对具有死区的互补 PWM 输出
 - 3 个 16 位通用定时器，支持 4 路 PWM 输出或输入捕捉、支持编码计数
 - 3 个 16 位基本定时器
 - 1 个 16 位低功耗定时器，支持编码器
 - 1 个自动唤醒定时器，可编程唤醒周期
 - 1 个 RTC 日历时钟计时器，支持高精度 LSE 补偿，内建唤醒定时器
 - 1 个窗口看门狗，采用 PCLK 计数
 - 1 个独立看门狗，采用专用时钟计数
- 通信接口
 - 3 路低功耗 UART，支持 LIN 通信，支持小数波特率，支持低功耗接收数据
 - 2 路标准 SPI 接口，支持 4~16bit 位宽
 - 2 路标准 I2C 接口，速率可达 1M bps
 - 1 路 IR 调制器，可编程占空比和极性
- CRC 硬件计算单元，支持 8 种算法
- 4 通道 DMA 控制器
- 14 比特模数转换器（ADC）
 - 高达 1M SPS 转换速度
 - 内置电压参考、温度传感器
 - 内置电压跟随器
- 2 路电压比较器，内置可编程参考电压
- 1 路低电压检测器，内置 16 阶比较基准，可监测端口电压及电源电压
- 4x40 / 6x38 / 8x36 段码 LCD 驱动
- 标准 SWD 调试接口
- 安全特性
 - 80 比特 UID / 48 比特 UID
 - 符合 IEC/UL 60730 相关标准
 - 异常存储空间访问报错
 - 特殊 SFR 保护，防止误操作
- 工作温度：-40℃ ~ 85℃
- 工作电压：1.65V ~ 5.5V
- 速度等级：
 - 0 ~ 24MHz @ 1.65 ~ 5.5V
 - 0 ~ 48MHz @ 1.80 ~ 5.5V
- 产品封装：
 - LQFP64
 - LQFP48 / QFN48
 - LQFP32 / QFN32

2 文档说明

本数据手册提供订货信息和 SYM32L053 芯片的机械电气特性。
本手册需要结合 SYM32L053 的参考手册共同阅读。

3 功能配置

SYM32L053 系列微控制器使用高性能的 ARM® Cortex®-M0+ 32 位 RISC 内核，内置高速存储器并配置丰富的增强型外设和 I/O 口。不同型号的功能配置略有不同，详见下表。

表 3-1 SYM32L053 系列功能配置表

		SYM32L053					
		R8	R6	C8	C6	K8	K6
FLASH (KB)		64	32	64	32	64	32
SRAM (KB)		8	4	8	4	8	4
CPU频率		up to 48MHz					
DMA		up to 4 CH					
工作电压		1.65V ~ 5.5V					
工作温度		-40℃ ~ 85℃					
定时器	SysTick定时器	1					
	基本定时器	3					
	通用定时器	3					
	高级定时器	1					
	低功耗定时器	1					
	看门狗定时器	2					
	实时时钟定时器	1					
	自动唤醒定时器	1					
通信接口	UART	3					
	SPI	2					
	I2C	2					
	红外调制	1					
LCD		4x40 / 6x38 / 8x36		4x24		4x16	
GPIO端口数		55+1 ^注		39+1 ^注		25+1 ^注	
唤醒管脚数		55+1 ^注		39+1 ^注		25+1 ^注	
内部参考电压		1.5V、2.5V					
电压比较器		2					
低电压检测器		1					
14位ADC 外部通道数+内部通道数		13+3		11+3		10+3	
封装		LQFP64		LQFP48 / QFN48		LQFP32 / QFN32	

注：CPU 执行用户代码时，BOOT 管脚可用作普通 GPIO。

4 管脚定义及功能说明

4.1 LQFP64 管脚定义

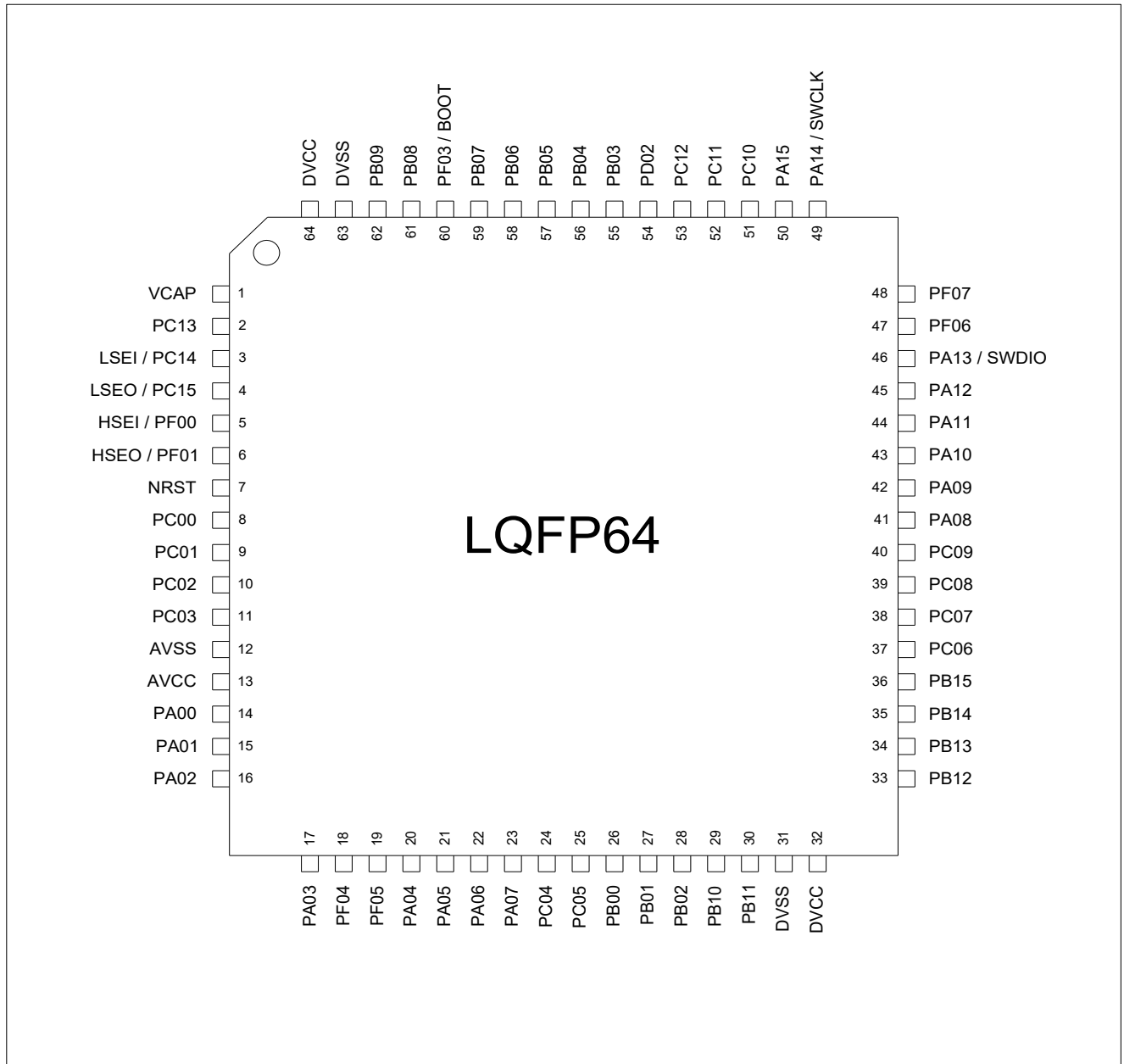


图 4-1 LQFP64 管脚定义

4.2 LQFP48 管脚定义

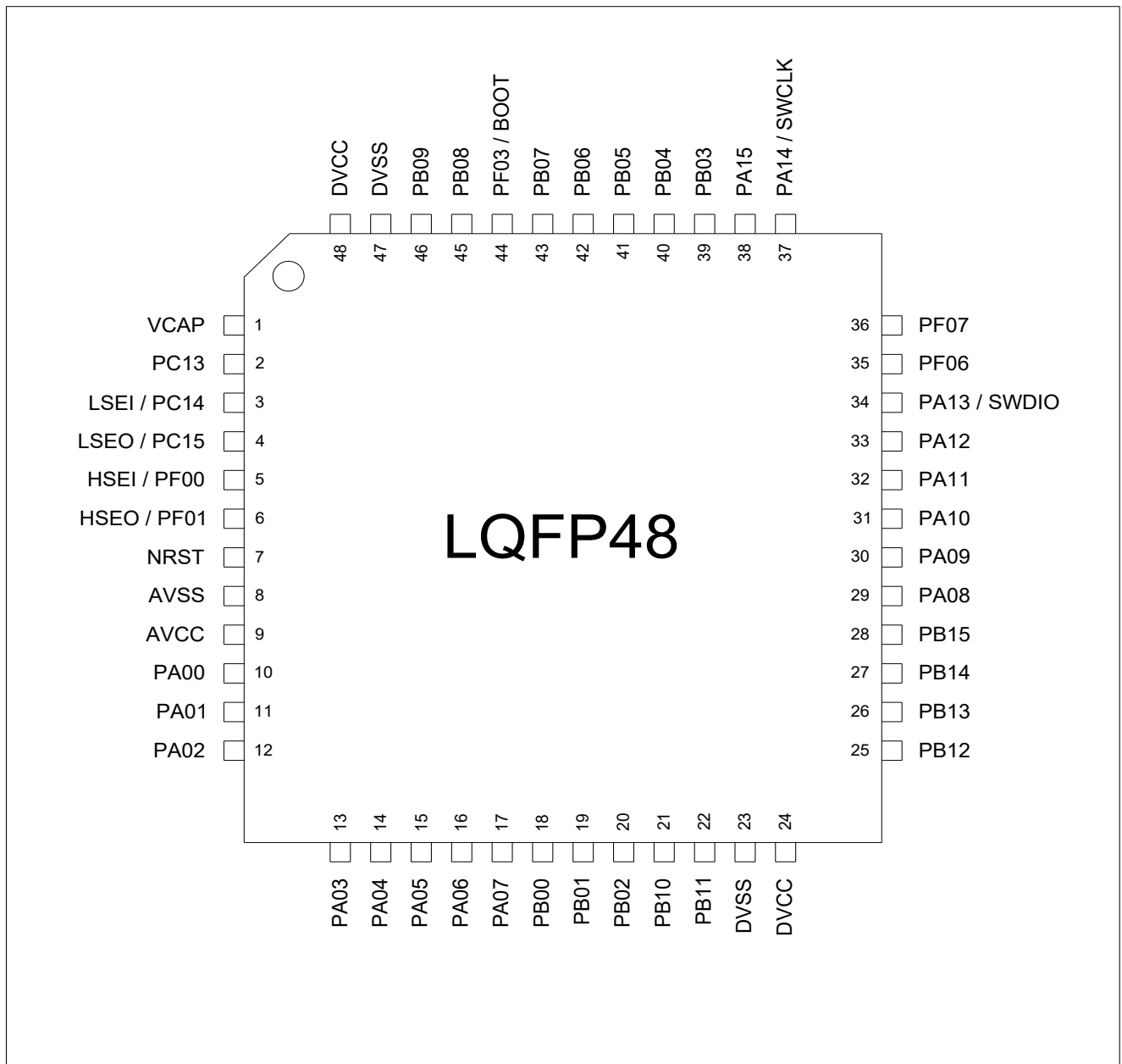


图 4-2 LQFP48 管脚定义

4.3 QFN48 管脚定义

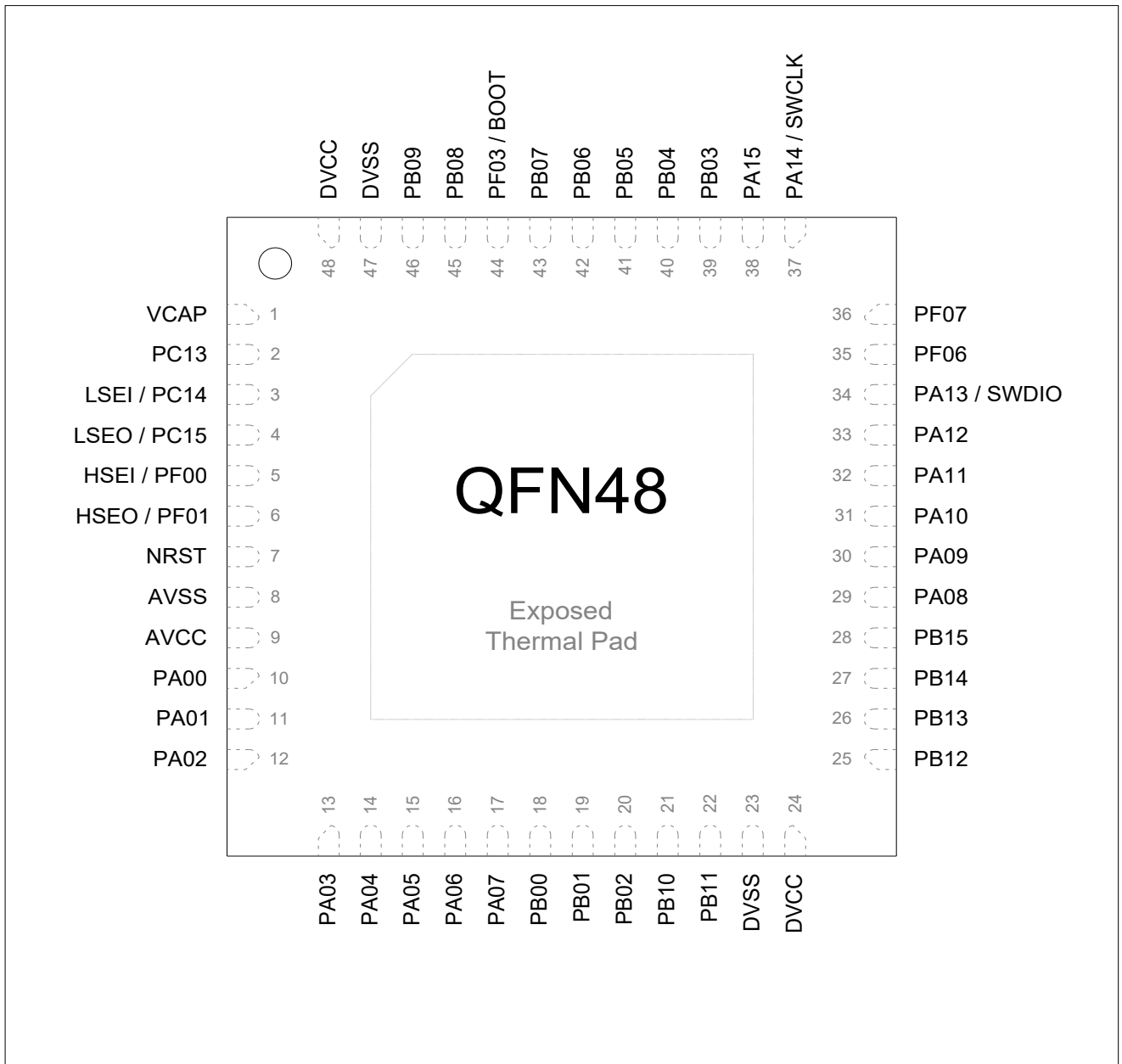


图 4-3 QFN48 管脚定义

注意：

- Exposed Thermal Pad 需连接到 DVSS。

4.4 LQFP32 管脚定义

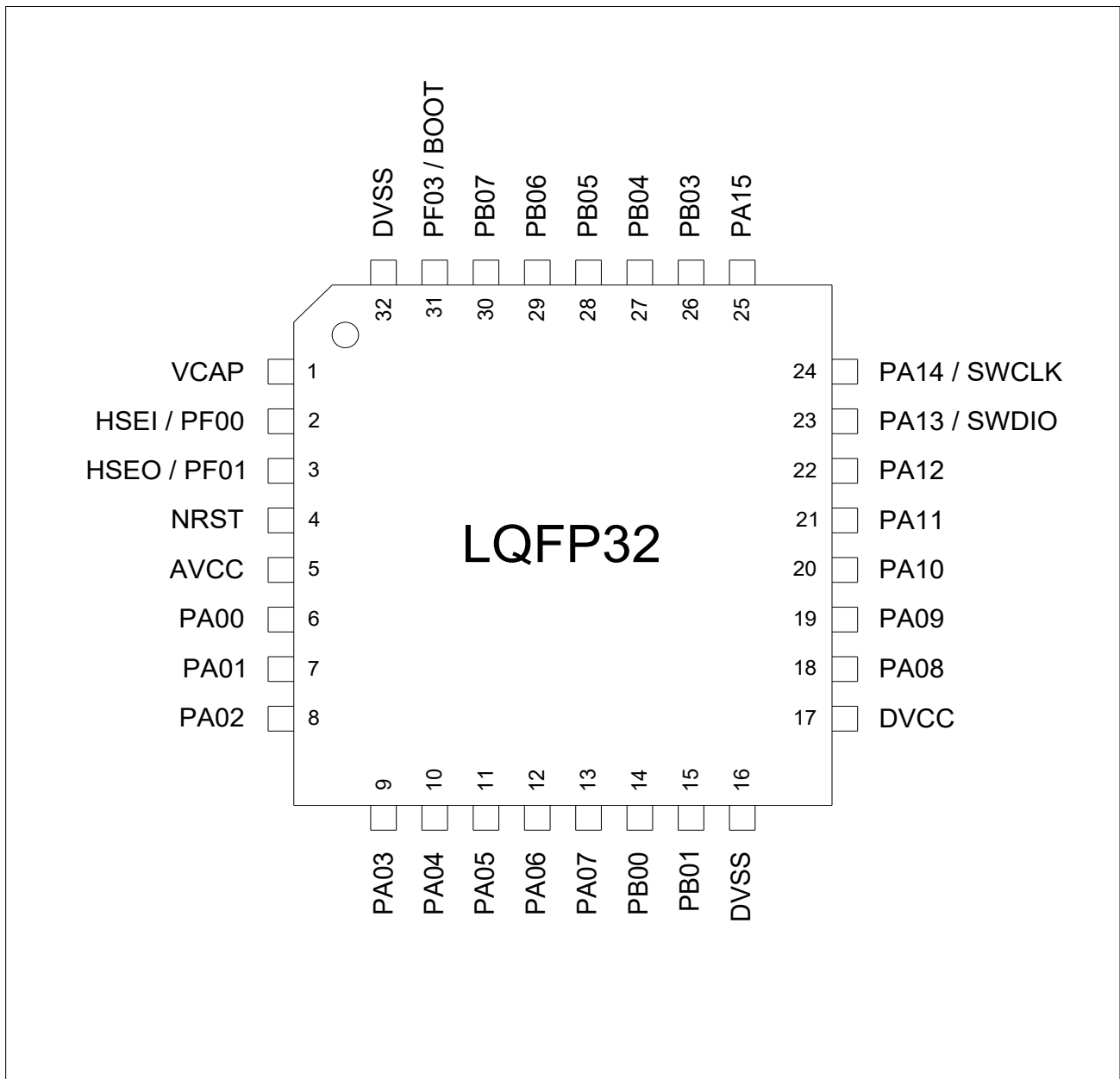


图 4-4 LQFP32 管脚定义

4.5 QFN32 管脚定义

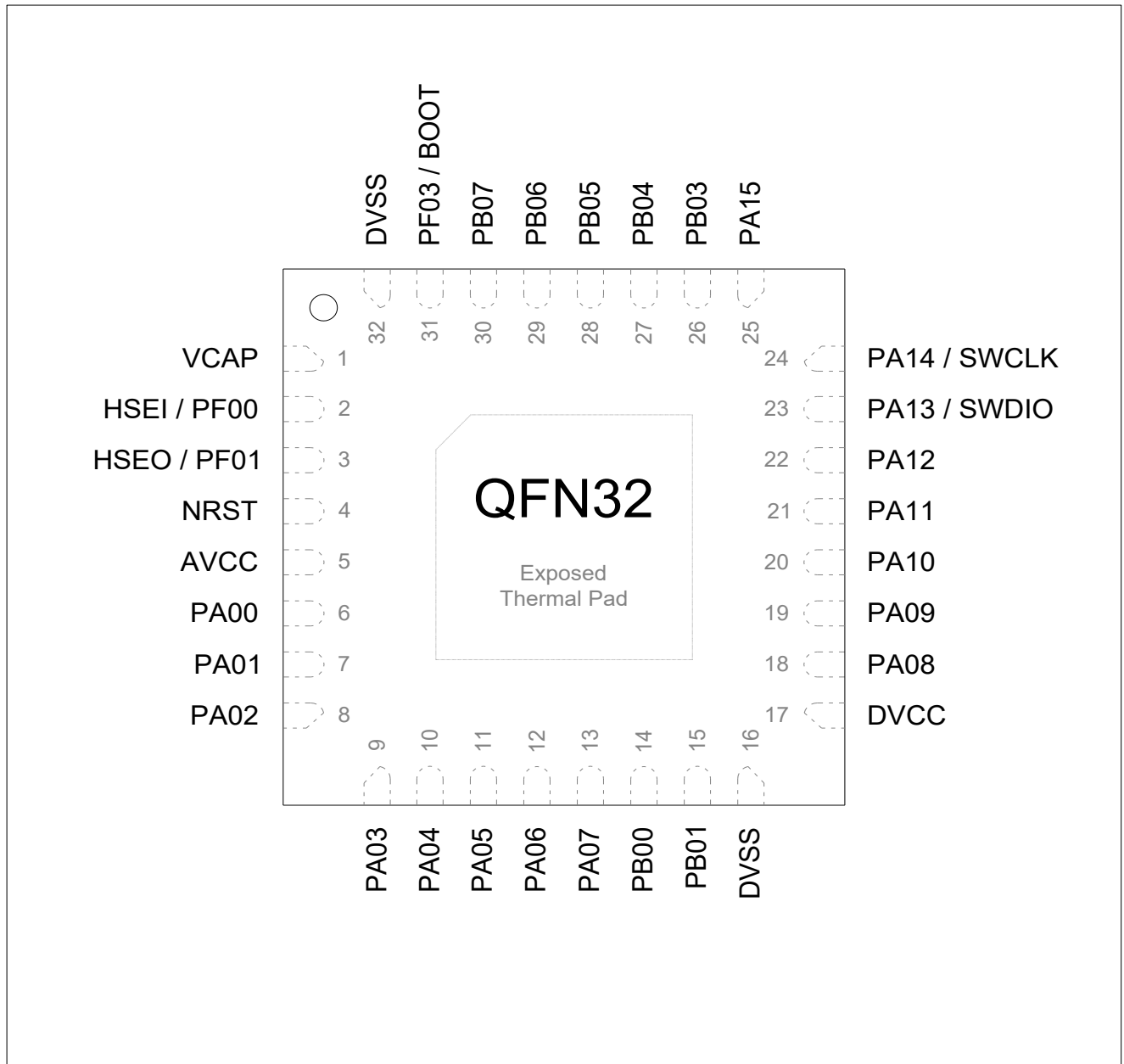


图 4-5 QFN32 管脚定义

注意：

- Exposed Thermal Pad 需连接到 DVSS。

4.6 管脚功能说明

4.6.1 术语及符号

表 4-1 管脚功能相关术语及符号

名称	缩写	定义
管脚名	除非有特别说明，在复位后管脚的默认功能和管脚名相同	
管脚类型	S	电源管脚
	I	输入管脚
	I/O	输入/输出管脚
管脚架构	TTa	连接模拟功能的I/O口
	TC	标准的I/O口
	B	BOOT专用管脚
	RST	复位输入管脚
附加功能	数字功能	由 GPIOx_AFRy 寄存器配置
	模拟功能	由 GPIOx_ANALOG 寄存器配置

4.6.2 管脚功能说明

表 4-2 管脚功能说明

管脚序号			管脚名称	管脚类型	管脚结构	附加功能	
LQFP64	LQFP48 QFN48	LQFP32 QFN32				数字功能	模拟功能
1	1	1	VCAP	S	-	内核供电LDO输出端	
2	2	-	PC13	I/O	TC	RTC_1Hz、UART1_CTS、 RTC_OUT、BTIM_ETR、 GTIM3_ETR、RTC_TAMP	
3	3	-	PC14	I/O	TTa	AWT_ETR、GTIM1_CH4、 UART1_RTS、UART1_TXD、 SPI2_MISO、GTIM3_TOGP、 GTIM3_CH1	LESI
4	4	-	PC15	I/O	TTa	HSE_OUT、GTIM1_CH3、 GTIM1_ETR、UART1_RXD、 SPI2_MOSI、GTIM3_TOGN、 GTIM3_CH2	LSEO

表 4-3 管脚功能说明 - 续 1

管脚序号			管脚名称	管脚类型	管脚结构	附加功能	
LQFP64	LQFP48 QFN48	LQFP32 QFN32				数字功能	模拟功能
5	5	2	PF00	I/O	TTa	AWT_ETR、GTIM1_CH2、 I2C1_SDA、BTIM1_TOGN、 SPI2_SCK、GTIM2_TOGP、 GTIM3_CH3	HSEI
6	6	3	PF01	I/O	TTa	LSE_OUT、GTIM1_CH1、 I2C1_SCL、BTIM1_TOGP、 SPI2_CS、GTIM2_TOGN、 GTIM3_CH4	HSEO
7	7	4	NRST	I	RST	复位管脚	
8	-	-	PC00	I/O	TTa	UART1_CTS、GTIM2_CH4、 SPI1_CS、LPTIM_CH1、 UART2_RXD、ATIM_CH1A、 I2C2_SCL	LCD_SEG23
9	-	-	PC01	I/O	TTa	UART1_RTS、GTIM2_CH3、 SPI1_SCK、LPTIM_OUT、 UART2_TXD、ATIM_CH2A、 I2C2_SDA	LCD_SEG22
10	-	-	PC02	I/O	TTa	UART1_RXD、GTIM2_CH2、 SPI1_MISO、LPTIM_CH2、 UART1_TXD、ATIM_CH3A	LCD_SEG21
11	-	-	PC03	I/O	TTa	UART1_TXD、GTIM2_CH1、 SPI1_MOSI、LPTIM_ETR、 UART1_RXD、ATIM_BK	LCD_SEG20
12	8	-	AVSS	S	-	模拟域供电负端	
13	9	5	AVCC	S	-	模拟域供电正端	
14	10	6	PA00	I/O	TTa	UART3_CTS、UART2_CTS、 RTC_TAMP、VC1_OUT、 SPI2_MISO、GTIM2_CH1、 GTIM2_ETR	VC1_IN0、 ADC_IN0、 LVD_IN1
15	11	7	PA01	I/O	TTa	UART3_RTS、UART2_RTS、 I2C2_SCL、LVD_OUT、 SPI2_MOSI、GTIM2_CH2、 RTC_TAMP	LCD_SEG19、 VC1_IN1、 ADC_IN1

表 4-4 管脚功能说明 - 续 2

管脚序号			管脚名称	管脚类型	管脚结构	附加功能	
LQFP64	LQFP48 QFN48	LQFP32 QFN32				数字功能	模拟功能
16	12	8	PA02	I/O	TTa	UART3_TXD、UART2_TXD、 I2C2_SDA、VC2_OUT、 SPI2_SCK、GTIM2_CH3、 AWT_ETR	LCD_SEG18、 VC1_IN2、 ADC_IN2
17	13	9	PA03	I/O	TTa	UART3_RXD、UART2_RXD、 GTIM2_CH2、PCLK_OUT、 SPI2_CS、GTIM2_CH4、 ATIM_CH3A	LCD_SEG17、 VC1_IN3、 ADC_IN3
18	-	-	PF04	I/O	TC	UART1_TXD、GTIM1_CH2、 UART2_RXD、ATIM_GATE	LCD_SEG35
19	-	-	PF05	I/O	TC	UART1_RXD、BTIM_ETR、 UART2_TXD、AWT_ETR	LCD_SEG34
20	14	10	PA04	I/O	TTa	UART1_TXD、UART2_CTS、 I2C2_SCL、HCLK_OUT、 SPI1_CS、GTIM2_ETR、 ATIM_CH2A	LCD_SEG33、 VC1_IN4、 ADC_IN4
21	15	11	PA05	I/O	TTa	GTIM2_ETR、UART2_RTS、 I2C2_SDA、BTIM2_TOGN、 SPI1_SCK、GTIM2_CH1、 ATIM_CH1A	LCD_SEG32、 VC1_IN5、 ADC_IN5
22	16	12	PA06	I/O	TTa	GTIM3_CH1、UART2_TXD、 VC1_OUT、BTIM2_TOGP、 SPI1_MISO、GTIM1_CH1、 ATIM_BK	LCD_SEG16、 VC1_IN6、 ADC_IN6
23	17	13	PA07	I/O	TTa	GTIM2_CH1、UART2_RXD、 VC2_OUT、BTIM1_TOGN、 SPI1_MOSI、GTIM1_CH2、 ATIM_CH1B	LCD_SEG15、 VC1_IN7、 ADC_IN7
24	-	-	PC04	I/O	TTa	UART1_TXD、UART3_RXD、 IR_OUT、LSI_OUT	LCD_SEG14、 ADC_IN8
25	-	-	PC05	I/O	TTa	UART1_RXD、UART3_TXD、 MCO_OUT、LPTIM_ETR、 LPTIM_OUT	LCD_SEG13、 ADC_IN9

表 4-5 管脚功能说明 - 续 3

管脚序号			管脚名称	管脚类型	管脚结构	附加功能	
LQFP64	LQFP48 QFN48	LQFP32 QFN32				数字功能	模拟功能
26	18	14	PB00	I/O	TTa	UART2_RXD、 UART1_CTS、I2C2_SCL、 BTIM1_TOGP、 HSIOSC_OUT、 GTIM1_CH3、ATIM_CH2B	LCD_SEG12、 VC2_IN0、 LVD_IN2、 ADC_IN10、 ADC_ExREF
27	19	15	PB01	I/O	TTa	UART2_TXD、 UART1_RTS、I2C2_SDA、 GTIM2_TOGP、 BTIM3_TOGN、 GTIM1_CH4、ATIM_CH3B	LCD_SEG11、 VC2_IN1、 ADC_IN11
28	20	-	PB02	I/O	TTa	UART2_CTS、 UART1_TXD、 LPTIM_OUT、 GTIM2_TOGN、 BTIM3_TOGP、 GTIM1_ETR、ATIM_CH1A	VC2_IN2、 ADC_IN12
29	21	-	PB10	I/O	TTa	UART2_RTS、 UART1_RXD、I2C1_SCL、 I2C2_SCL、SPI2_SCK、 GTIM2_CH3、ATIM_CH2A	LCD_SEG10、 VC2_IN3
30	22	-	PB11	I/O	TTa	GTIM3_ETR、UART1_TXD、 I2C1_SDA、I2C2_SDA、 BTIM_ETR、GTIM2_CH4、 ATIM_CH3A	LCD_SEG9、 LVD_IN3
31	23	16	DVSS	S	-	数字域供电负端	
32	24	17	DVCC	S	-	数字域供电正端	
33	25	-	PB12	I/O	TTa	GTIM2_TOGP、 GTIM3_CH4、LSE_OUT、 SPI2_CS、SPI1_CS、 GTIM1_TOGP、ATIM_BK	LCD_SEG8
34	26	-	PB13	I/O	TTa	GTIM2_TOGN、 GTIM3_CH3、I2C2_SCL、 SPI2_SCK、SPI1_SCK、 GTIM1_TOGN、ATIM_CH1B	LCD_SEG7
35	27	-	PB14	I/O	TTa	GTIM2_CH1、GTIM3_CH2、 I2C2_SDA、SPI2_MISO、 SPI1_MISO、RTC_OUT、 ATIM_CH2B	LCD_SEG6

表 4-6 管脚功能说明 - 续 4

管脚序号			管脚名称	管脚类型	管脚结构	附加功能	
LQFP64	LQFP48 QFN48	LQFP32 QFN32				数字功能	模拟功能
36	28	-	PB15	I/O	TTa	GTIM2_CH2、GTIM3_CH1、 BTIM2_TOGN、SPI2_MOSI、 SPI1_MOSI、RTC_1Hz、 ATIM_CH3B	LCD_SEG5
37	-	-	PC06	I/O	TTa	UART1_RXD、UART3_TXD、 BTIM2_TOGP、GTIM2_CH4、 ATIM_CH1B	LCD_SEG4
38	-	-	PC07	I/O	TTa	UART1_TXD、UART3_RXD、 BTIM2_TOGN、GTIM2_CH3、 ATIM_CH2B	LCD_SEG3
39	-	-	PC08	I/O	TTa	UART1_CTS、UART3_TXD、 GTIM3_ETR、GTIM2_CH2、 ATIM_CH3B	LCD_SEG2
40	-	-	PC09	I/O	TTa	UART1_RTS、UART3_RXD、 I2C1_SDA、GTIM2_CH1、 ATIM_ETR	LCD_SEG1
41	29	18	PA08	I/O	TTa	LPTIM_ETR、UART1_TXD、 BTIM2_TOGP、MCO_OUT、 LVD_OUT、GTIM3_ETR、 ATIM_CH1A	LCD_SEG0、 VC2_IN4
42	30	19	PA09	I/O	TTa	UART3_TXD、UART1_RXD、 I2C1_SCL、BTIM1_TOGN、 SPI1_CS、GTIM3_CH1、 ATIM_CH2A	LCD_COM0、 VC2_IN5
43	31	20	PA10	I/O	TTa	UART3_RXD、UART1_CTS、 I2C1_SDA、BTIM1_TOGP、 SPI1_SCK、GTIM3_CH2、 ATIM_CH3A	LCD_COM1、 VC2_IN6
44	32	21	PA11	I/O	TTa	UART3_CTS、UART1_RTS、 I2C2_SCL、VC1_OUT、 SPI1_MISO、GTIM3_CH3、 ATIM_GATE	LCD_COM2、 VC2_IN7
45	33	22	PA12	I/O	TTa	UART3_RTS、BTIM_ETR、 I2C2_SDA、VC2_OUT、 SPI1_MOSI、GTIM3_CH4、 ATIM_ETR	LCD_COM3

表 4-7 管脚功能说明 - 续 5

管脚序号			管脚名称	管脚类型	管脚结构	附加功能	
LQFP64	LQFP48 QFN48	LQFP32 QFN32				数字功能	模拟功能
46	34	23	PA13 SWDIO	I/O	TC	I2C1_SDA、UART1_RXD、 UART2_TXD、I2C2_SCL、 IR_OUT	
47	35	-	PF06	I/O	TC	UART3_CTS、I2C1_SCL、 GTIM1_TOGP、 UART2_CTS、I2C2_SCL、 GTIM3_TOGP、BTIM3_TOGN	
48	36	-	PF07	I/O	TC	UART3_RTS、I2C1_SDA、 GTIM1_TOGN、 UART2_RTS、I2C2_SDA、 GTIM3_TOGN、BTIM3_TOGP	
49	37	24	PA14 SWCLK	I/O	TC	UART3_TXD、I2C1_SCL、 UART1_TXD、UART2_RXD、 I2C2_SDA	
50	38	25	PA15	I/O	TTa	UART3_RXD、GTIM2_CH1、 UART1_RXD、UART2_TXD、 SPI1_CS、GTIM2_ETR、 ATIM_CH1B	LCD_SEG55
51	-	-	PC10	I/O	TTa	UART1_TXD、GTIM3_CH1、 HCLK_OUT、BTIM1_TOGP、 VC1_OUT、LPTIM_CH1、 ATIM_CH2B	LCD_SEG31, LCD_COM4
52	-	-	PC11	I/O	TTa	UART1_RXD、GTIM3_CH2、 IR_OUT、BTIM1_TOGN、 VC2_OUT、LPTIM_CH2、 ATIM_CH3B	LCD_SEG30, LCD_COM5
53	-	-	PC12	I/O	TTa	UART2_TXD、PCLK_OUT、 LVD_OUT、UART3_RXD、 HSIOSC_OUT	LCD_SEG29, LCD_COM6
54	-	-	PD02	I/O	TTa	UART2_RXD、GTIM1_CH1、 BTIM_ETR、UART3_TXD、 RTC_1Hz、GTIM3_ETR、 ATIM_ETR	LCD_SEG28, LCD_COM7

表 4-8 管脚功能说明 - 续 6

管脚序号			管脚名称	管脚类型	管脚结构	附加功能	
LQFP64	LQFP48 QFN48	LQFP32 QFN32				数字功能	模拟功能
55	39	26	PB03	I/O	TTa	UART3_RTS、GTIM2_CH2、 UART1_CTS、UART2_TXD、 SPI1_SCK、GTIM1_ETR、 ATIM_CH2B	LCD_SEG27, LCD_VLCD4
56	40	27	PB04	I/O	TTa	UART3_CTS、GTIM2_ETR、 UART1_RTS、UART2_RXD、 SPI1_MISO、GTIM1_CH1、 ATIM_CH3B	LCD_SEG26, LCD_VLCD3
57	41	28	PB05	I/O	TTa	UART1_RXD、GTIM3_CH4、 LPTIM_CH1、UART2_RTS、 SPI1_MOSI、GTIM1_CH2、 ATIM_CH1A	LCD_SEG25, LCD_VLCD2
58	42	29	PB06	I/O	TTa	UART3_TXD、GTIM3_CH3、 LPTIM_ETR、I2C1_SCL、 SPI2_MOSI、GTIM1_TOGP、 ATIM_CH2A	LCD_SEG24, LCD_VLCD1
59	43	30	PB07	I/O	TC	UART3_RXD、GTIM3_CH2、 LPTIM_CH2、I2C1_SDA、 SPI2_MISO、GTIM1_TOGN、 ATIM_CH3A	LCD_SEG54
60	44	31	PF03 BOOT	B	TC		
61	45	-	PB08	I/O	TTa	I2C1_SCL、GTIM3_CH1、 UART2_TXD、GTIM2_CH2、 SPI2_SCK、GTIM1_CH3、 ATIM_ETR	LCD_SEG53
62	46	-	PB09	I/O	TTa	I2C1_SDA、GTIM2_CH1、 UART2_RXD、IR_OUT、 SPI2_CS、GTIM1_CH4、 ATIM_BK	LCD_SEG52
63	47	32	DVSS	S	-	数字域供电负端	
64	48	-	DVCC	S	-	数字域供电正端	

4.6.3 管脚模拟功能汇总

表 4-9 模拟功能汇总表

管脚名称	模拟功能	管脚名称	模拟功能
PA00	VC1_IN0、ADC_IN0、LVD_IN1	PB00	LCD_SEG12、VC2_IN0、ADC_IN10、ADC_ExREF、LVD_IN2
PA01	LCD_SEG19、VC1_IN1、ADC_IN1		
PA02	LCD_SEG18、VC1_IN2、ADC_IN2	PB01	LCD_SEG11、VC2_IN1、ADC_IN11
PA03	LCD_SEG17、VC1_IN3、ADC_IN3	PB02	VC2_IN2、ADC_IN12
PA04	LCD_SEG33、VC1_IN4、ADC_IN4	PB03	LCD_SEG27、LCD_VLCD4
PA05	LCD_SEG32、VC1_IN5、ADC_IN5	PB04	LCD_SEG26、LCD_VLCD3
PA06	LCD_SEG16、VC1_IN6、ADC_IN6	PB05	LCD_SEG25、LCD_VLCD2
PA07	LCD_SEG15、VC1_IN7、ADC_IN7	PB06	LCD_SEG24、LCD_VLCD1
PA08	LCD_SEG0、VC2_IN4	PB07	LCD_SEG54
PA09	LCD_COM0、VC2_IN5	PB08	LCD_SEG53
PA10	LCD_COM1、VC2_IN6	PB09	LCD_SEG52
PA11	LCD_COM2、VC2_IN7	PB10	LCD_SEG10、VC2_IN3
PA12	LCD_COM3	PB11	LCD_SEG9、LVD_IN3
PA15	LCD_SEG55	PB12	LCD_SEG8
		PB13	LCD_SEG7
PC00	LCD_SEG23	PB14	LCD_SEG6
PC01	LCD_SEG22	PB15	LCD_SEG5
PC02	LCD_SEG21		
PC03	LCD_SEG20	PD02	LCD_SEG28、LCD_COM7
PC04	LCD_SEG14、ADC_IN8		
PC05	LCD_SEG13、ADC_IN9	PF00	HSEI
PC06	LCD_SEG4	PF01	HSEO
PC07	LCD_SEG3	PF04	LCD_SEG35
PC08	LCD_SEG2	PF05	LCD_SEG34
PC09	LCD_SEG1		
PC10	LCD_SEG31、LCD_COM4		
PC11	LCD_SEG30、LCD_COM5	PC14	LSEI
PC12	LCD_SEG29、LCD_COM6	PC15	LSEO

4.6.4 管脚数字功能汇总

表 4-10 GPIOA 数字复用功能分配表

管脚名称	复用功能							
	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA00	GPIO	UART3_CTS	UART2_CTS	RTC_TAMP	VC1_OUT	SPI2_MISO	GTIM2_CH1	GTIM2_ETR
PA01	GPIO	UART3_RTS	UART2_RTS	I2C2_SCL	LVD_OUT	SPI2_MOSI	GTIM2_CH2	RTC_TAMP
PA02	GPIO	UART3_TXD	UART2_TXD	I2C2_SDA	VC2_OUT	SPI2_SCK	GTIM2_CH3	AWT_ETR
PA03	GPIO	UART3_RXD	UART2_RXD	GTIM2_CH2	PCLK_OUT	SPI2_CS	GTIM2_CH4	ATIM_CH3A
PA04	GPIO	UART1_TXD	UART2_CTS	I2C2_SCL	HCLK_OUT	SPI1_CS	GTIM2_ETR	ATIM_CH2A
PA05	GPIO	GTIM2_ETR	UART2_RTS	I2C2_SDA	BTIM2_TOGN	SPI1_SCK	GTIM2_CH1	ATIM_CH1A
PA06	GPIO	GTIM3_CH1	UART2_TXD	VC1_OUT	BTIM2_TOGP	SPI1_MISO	GTIM1_CH1	ATIM_BK
PA07	GPIO	GTIM2_CH1	UART2_RXD	VC2_OUT	BTIM1_TOGN	SPI1_MOSI	GTIM1_CH2	ATIM_CH1B
PA08	GPIO	LPTIM_ETR	UART1_TXD	BTIM2_TOGP	MCO_OUT	LVD_OUT	GTIM3_ETR	ATIM_CH1A
PA09	GPIO	UART3_TXD	UART1_RXD	I2C1_SCL	BTIM1_TOGN	SPI1_CS	GTIM3_CH1	ATIM_CH2A
PA10	GPIO	UART3_RXD	UART1_CTS	I2C1_SDA	BTIM1_TOGP	SPI1_SCK	GTIM3_CH2	ATIM_CH3A
PA11	GPIO	UART3_CTS	UART1_RTS	I2C2_SCL	VC1_OUT	SPI1_MISO	GTIM3_CH3	ATIM_GATE
PA12	GPIO	UART3_RTS	BTIM_ETR	I2C2_SDA	VC2_OUT	SPI1_MOSI	GTIM3_CH4	ATIM_ETR
PA13	GPIO		I2C1_SDA	UART1_RXD	UART2_TXD	I2C2_SCL	IR_OUT	
PA14	GPIO	UART3_TXD	I2C1_SCL	UART1_TXD	UART2_RXD	I2C2_SDA		
PA15	GPIO	UART3_RXD	GTIM2_CH1	UART1_RXD	UART2_TXD	SPI1_CS	GTIM2_ETR	ATIM_CH1B

表 4-11 GPIOB 数字复用功能分配表

管脚名称	复用功能							
	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PB00	GPIO	UART2_RXD	UART1_CTS	I2C2_SCL	BTIM1_TOGP	HSIOSC_OUT	GTIM1_CH3	ATIM_CH2B
PB01	GPIO	UART2_TXD	UART1_RTS	I2C2_SDA	GTIM2_TOGP	BTIM3_TOGN	GTIM1_CH4	ATIM_CH3B
PB02	GPIO	UART2_CTS	UART1_TXD	LPTIM_OUT	GTIM2_TOGN	BTIM3_TOGP	GTIM1_ETR	ATIM_CH1A
PB03	GPIO	UART3_RTS	GTIM2_CH2	UART1_CTS	UART2_TXD	SPI1_SCK	GTIM1_ETR	ATIM_CH2B
PB04	GPIO	UART3_CTS	GTIM2_ETR	UART1_RTS	UART2_RXD	SPI1_MISO	GTIM1_CH1	ATIM_CH3B
PB05	GPIO	UART1_RXD	GTIM3_CH4	LPTIM_CH1	UART2_RTS	SPI1_MOSI	GTIM1_CH2	ATIM_CH1A
PB06	GPIO	UART3_TXD	GTIM3_CH3	LPTIM_ETR	I2C1_SCL	SPI2_MOSI	GTIM1_TOGP	ATIM_CH2A
PB07	GPIO	UART3_RXD	GTIM3_CH2	LPTIM_CH2	I2C1_SDA	SPI2_MISO	GTIM1_TOGN	ATIM_CH3A
PB08	GPIO	I2C1_SCL	GTIM3_CH1	UART2_TXD	GTIM2_CH2	SPI2_SCK	GTIM1_CH3	ATIM_ETR
PB09	GPIO	I2C1_SDA	GTIM2_CH1	UART2_RXD	IR_OUT	SPI2_CS	GTIM1_CH4	ATIM_BK
PB10	GPIO	UART2_RTS	UART1_RXD	I2C1_SCL	I2C2_SCL	SPI2_SCK	GTIM2_CH3	ATIM_CH2A
PB11	GPIO	GTIM3_ETR	UART1_TXD	I2C1_SDA	I2C2_SDA	BTIM_ETR	GTIM2_CH4	ATIM_CH3A
PB12	GPIO	GTIM2_TOGP	GTIM3_CH4	LSE_OUT	SPI2_CS	SPI1_CS	GTIM1_TOGP	ATIM_BK
PB13	GPIO	GTIM2_TOGN	GTIM3_CH3	I2C2_SCL	SPI2_SCK	SPI1_SCK	GTIM1_TOGN	ATIM_CH1B
PB14	GPIO	GTIM2_CH1	GTIM3_CH2	I2C2_SDA	SPI2_MISO	SPI1_MISO	RTC_OUT	ATIM_CH2B
PB15	GPIO	GTIM2_CH2	GTIM3_CH1	BTIM2_TOGN	SPI2_MOSI	SPI1_MOSI	RTC_1Hz	ATIM_CH3B

表 4-12 GPIOC 数字复用功能分配表

管脚名称	复用功能							
	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PC00	GPIO	UART1_CTS	GTIM2_CH4	SPI1_CS	LPTIM_CH1	UART2_RXD	ATIM_CH1A	I2C2_SCL
PC01	GPIO	UART1_RTS	GTIM2_CH3	SPI1_SCK	LPTIM_OUT	UART2_TXD	ATIM_CH2A	I2C2_SDA
PC02	GPIO	UART1_RXD	GTIM2_CH2	SPI1_MISO	LPTIM_CH2	UART1_TXD	ATIM_CH3A	
PC03	GPIO	UART1_TXD	GTIM2_CH1	SPI1_MOSI	LPTIM_ETR	UART1_RXD	ATIM_BK	
PC04	GPIO	UART1_TXD	UART3_RXD	IR_OUT			LSI_OUT	
PC05	GPIO	UART1_RXD	UART3_TXD	MCO_OUT	LPTIM_ETR	LPTIM_OUT		
PC06	GPIO	UART1_RXD	UART3_TXD	BTIM2_TOGP		GTIM2_CH4	ATIM_CH1B	
PC07	GPIO	UART1_TXD	UART3_RXD	BTIM2_TOGN		GTIM2_CH3	ATIM_CH2B	
PC08	GPIO	UART1_CTS	UART3_TXD	GTIM3_ETR		GTIM2_CH2	ATIM_CH3B	
PC09	GPIO	UART1_RTS	UART3_RXD	I2C1_SDA		GTIM2_CH1	ATIM_ETR	
PC10	GPIO	UART1_TXD	GTIM3_CH1	HCLK_OUT	BTIM1_TOGP	VC1_OUT	LPTIM_CH1	ATIM_CH2B
PC11	GPIO	UART1_RXD	GTIM3_CH2	IR_OUT	BTIM1_TOGN	VC2_OUT	LPTIM_CH2	ATIM_CH3B
PC12	GPIO	UART2_TXD	PCLK_OUT	LVD_OUT	UART3_RXD		HSIOSC_OUT	
PC13	GPIO		RTC_1Hz	UART1_CTS	RTC_OUT	BTIM_ETR	GTIM3_ETR	RTC_TAMP
PC14	GPIO	AWT_ETR	GTIM1_CH4	UART1_RTS	UART1_TXD	SPI2_MISO	GTIM3_TOGP	GTIM3_CH1
PC15	GPIO	HSE_OUT	GTIM1_CH3	GTIM1_ETR	UART1_RXD	SPI2_MOSI	GTIM3_TOGN	GTIM3_CH2

表 4-13 GPIOD / GPIOF 数字复用功能分配表

管脚名称	复用功能							
	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PD02	GPIO	UART2_RXD	GTIM1_CH1	BTIM_ETR	UART3_TXD	RTC_1Hz	GTIM3_ETR	ATIM_ETR
PF00	GPIO	AWT_ETR	GTIM1_CH2	I2C1_SDA	BTIM1_TOGN	SPI2_SCK	GTIM2_TOGP	GTIM3_CH3
PF01	GPIO	LSE_OUT	GTIM1_CH1	I2C1_SCL	BTIM1_TOGP	SPI2_CS	GTIM2_TOGN	GTIM3_CH4
PF03 BOOT	GPIO							
PF04	GPIO	UART1_TXD	GTIM1_CH2		UART2_RXD	ATIM_GATE		
PF05	GPIO	UART1_RXD	BTIM_ETR		UART2_TXD	AWT_ETR		
PF06	GPIO	UART3_CTS	I2C1_SCL	GTIM1_TOGP	UART2_CTS	I2C2_SCL	GTIM3_TOGP	BTIM3_TOGN
PF07	GPIO	UART3_RTS	I2C1_SDA	GTIM1_TOGN	UART2_RTS	I2C2_SDA	GTIM3_TOGN	BTIM3_TOGP

5 系统架构

5.1 功能框图

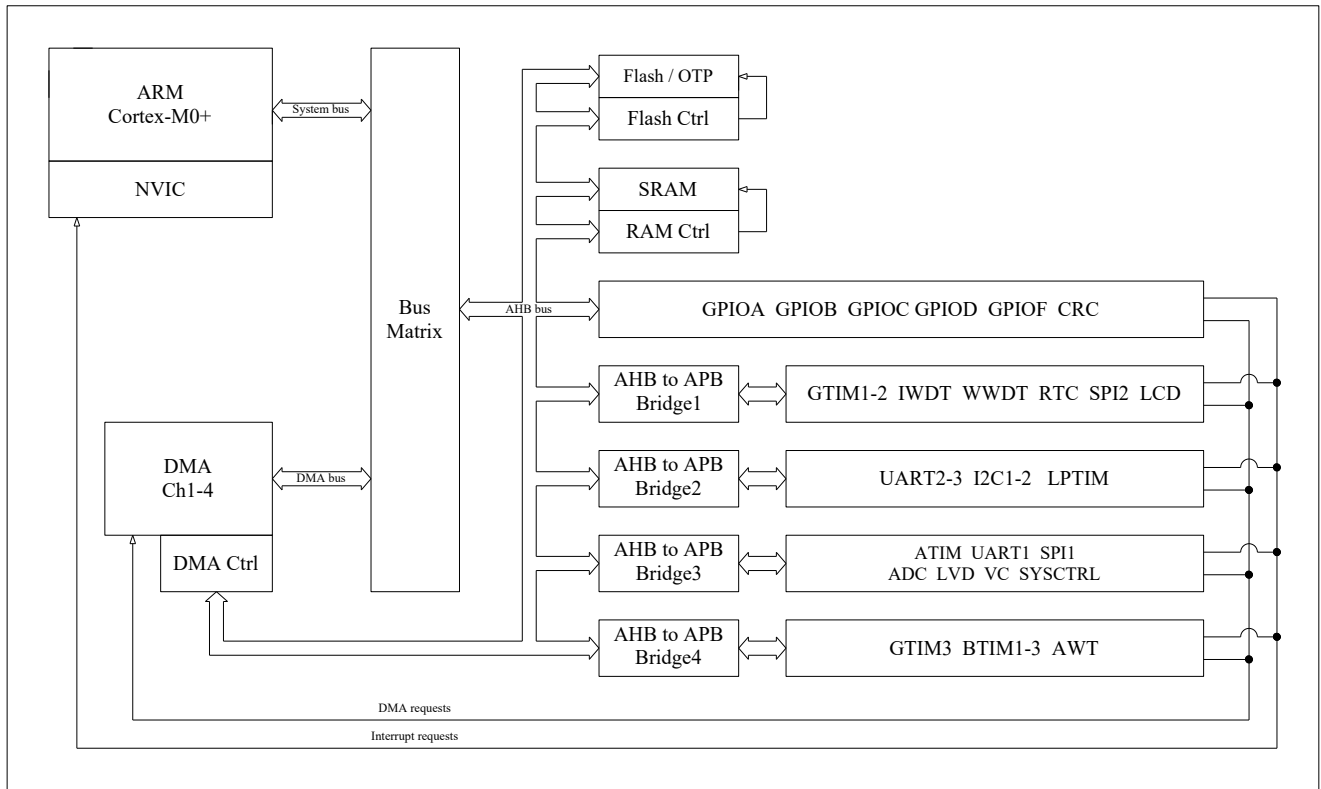


图 5-1 功能框图

5.2 地址映射

表 5-1 地址映射表

名称	边界地址	大小	对应外设
APB1 外设	0x4000 0400 - 0x4000 07FF	1KB	GTIM1
	0x4000 1000 - 0x4000 13FF	1KB	GTIM2
	0x4000 2400 - 0x4000 27FF	1KB	LCD
	0x4000 2800 - 0x4000 2BFF	1KB	RTC
	0x4000 2C00 - 0x4000 2FFF	1KB	WWDVT
	0x4000 3000 - 0x4000 33FF	1KB	IWDT
	0x4000 3800 - 0x4000 3BFF	1KB	SPI2
APB2 外设	0x4000 7800 - 0x4000 7BFF	1KB	LPTIM
	0x4000 4400 - 0x4000 47FF	1KB	UART2
	0x4000 5400 - 0x4000 57FF	1KB	I2C1
	0x4000 5800 - 0x4000 5BFF	1KB	I2C2
APB3 外设	0x4001 0000 - 0x4001 03FF	1KB	SYSCCTRL
	0x4001 2400 - 0x4001 27FF	1KB	ADC
	0x4001 2800 - 0x4001 2BFF	1KB	VC / LVD
	0x4001 2C00 - 0x4001 2FFF	1KB	ATIM
	0x4001 3000 - 0x4001 33FF	1KB	SPI1
	0x4001 3800 - 0x4001 3BFF	1KB	UART1
APB4 外设	0x4001 4000 - 0x4001 43FF	1KB	GTIM3
	0x4001 4800 - 0x4001 4BFF	1KB	BTIM1 - 3
	0x4001 4C00 - 0x4001 4FFF	1KB	AWT
AHB 外设	0x4002 0000 - 0x4002 03FF	1KB	DMA
	0x4002 2000 - 0x4002 23FF	1KB	FLASH CTRL
	0x4002 2400 - 0x4002 27FF	1KB	RAM CTRL
	0x4002 3000 - 0x4002 33FF	1KB	CRC
	0x4800 0000 - 0x4800 03FF	1KB	GPIOA
	0x4800 0400 - 0x4800 07FF	1KB	GPIOB
	0x4800 0800 - 0x4800 0BFF	1KB	GPIOC
	0x4800 0C00 - 0x4800 0FFF	1KB	GPIOD
	0x4800 1400 - 0x4800 17FF	1KB	GPIOF
M0+外设	0xE000 0000 - 0xE00F FFFF	1MB	M0+内核外设

6 功能介绍

6.1 内核

本芯片所采用的 Cortex[®]-M0+处理器具有门数低、效能高的特点；专为要求面积优化、低功耗处理器的微控制器及深度嵌入式应用而设计。该处理器基于 ARMv6-M 架构，同时支持 Thumb[®]指令集、单周期输入/输出端口、硬件乘法器和低延迟中断响应时间。

该处理器提供的系统外设如下所示：

- 内部总线矩阵连接 AHB-Lite 接口，调试访问端口(DAP)
- 嵌套向量中断控制器(NVIC)
- 可选唤醒中断控制器(WIC)
- 断点和观察点单元(BPU)
- 串行线调试端口(SW-DP)

欲了解内核相关信息，请参考 Arm[®] Cortex[®]-M0+技术用户手册。

6.2 中断

ARM[®] Cortex[®]-M0+内核的嵌套向量中断控制器（NVIC），用于管理中断和异常。NVIC 和处理器内核紧密相连，可以实现低延迟的异常和中断处理。

处理器支持最多 32 个中断请求(IRQ)输入，支持多个内部异常。

本章节只介绍了处理器的 32 个外部中断请求(IRQ0 ~ IRQ31)，处理器内部异常的具体情况请参考“ARM[®] Cortex[®]-M0+ Technical Reference Manual”与“ARM[®] v6-M Architecture Reference Manual”。

- 16 个内部异常
- 32 个可屏蔽外部中断
- 4 个可编程的优先级
- 低延时的异常和中断处理
- 支持中断嵌套
- 中断向量表重映射

6.3 复位

本芯片支持以下 8 种系统复位，各复位源的复位范围略有不同。

复位源	复位范围
上电复位 POR	整个 MCU
掉电复位 BOR	整个 MCU
复位管脚复位 NRST	整个 MCU（除 RAM 控制器、RTC、LSE 外）
独立看门狗复位 IWDG	M0+内核 / 外设（除 RAM 控制器、RTC、LSE 外）
窗口看门狗复位 WWDG	M0+内核 / 外设（除 RAM 控制器、RTC、LSE 外）
低电压检测器复位 LVD	M0+内核 / 外设（除 RAM 控制器、LVD、RTC、LSE 外）
内核 SYSRESETREQ 复位	M0+内核 / 外设（除 RAM 控制器、LVD、RTC、LSE 外）
内核 LOCKUP 故障复位	M0+内核 / 外设（除 RAM 控制器、LVD、RTC、LSE 外）

发生系统复位后，CPU 重新运行，大部分寄存器都被复位到默认值，程序从中断向量表的复位中断入口地址开始执行。复位完成后，用户可通过 `SYSCTRL_RESETFLAG` 寄存器查询本次系统复位的复位源；完成复位标志查询后需将该寄存器清零以便下次复位后查询复位源。

6.4 时钟系统

本芯片内置多个时钟源产生电路，通过分频器和多路选择器提供丰富多样的时钟给 CPU 及各种片内外设使用。

- 以下 4 个时钟源可以被配置为系统时钟：
 - 外部高速晶体振荡器时钟 HSE，可生成 4 ~ 32MHz 的时钟
 - 外部低速晶体振荡器时钟 LSE，可生成 32.768kHz 的时钟
 - 内部高速 RC 振荡器时钟 HSI，可生成 3 ~ 48MHz 的时钟
 - 内部低速 RC 振荡器时钟 LSI，可生成 32.768kHz 的时钟
- 以下 2 个时钟源可以被配置为外设的工作时钟或滤波时钟：
 - 内部低速 RC 振荡器时钟 RC120K，可生成约 120kHz 的时钟
 - 内部低速 RC 振荡器时钟 RC8K，可生成约 8.2kHz 的时钟

6.5 引导模式

当芯片复位时，若 BOOT 管脚为低电平则执行 FLASH 存储区的用户程序。

当芯片复位时，若 BOOT 管脚为高电平则执行启动程序存储区的 Bootloader 程序，用户可使用 ISP 协议操作 FLASH 存储器和 OTP 存储器。FLASH 存储器支持读、写、擦等操作；OTP 存储器支持读、写操作。

6.6 工作模式

本产品在电源管理模块的控制下可实现三种工作模式。

各工作模式下可工作的功能模块不相同，如下所示：

- 运行模式（Active Mode）：CPU 运行，片内所有外设运行。
- 休眠模式（Sleep Mode）：CPU 停止，片内所有外设运行。
- 深度休眠模式（Deep Sleep Mode）：CPU 停止，低功耗片内外设运行。

本产品工作时可在三种工作模式之间自由切换。在运行模式下执行 WFI 指令，可使本产品进入休眠模式或深度休眠模式。从休眠模式或深度休眠模式通过中断唤醒，回到运行模式。当系统进入休眠模式及深度休眠模式时，GPIO 管脚的状态与运行模式下相同。在深度休眠模式下，高速时钟（HSE、HSI）自动停止，低速时钟（LSE、LSI、RC8K、RC120K）保持原状态不变。

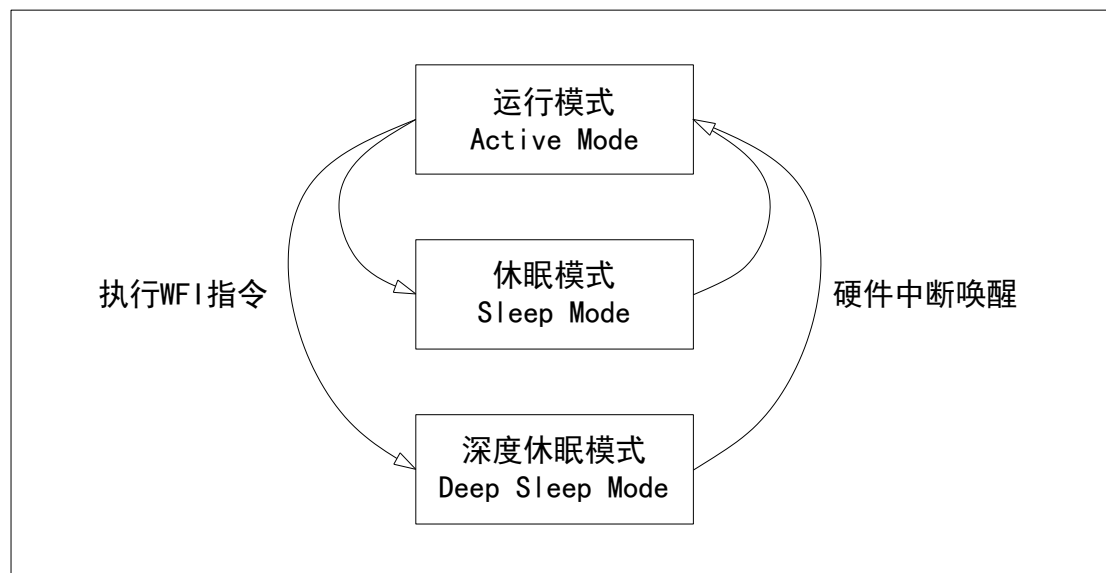


图 6-1 工作模式状态转换图

6.7 随机存储器（RAM）

本芯片内置一块容量为 8KB 的随机存储器（RAM）。数据在 RAM 中以小端模式存储，即最低字节地址空间存放数据的最低有效字节。本存储器支持三种读写操作方式：字节（8 比特）、半字（16 比特）、字（32 比特）。

- 多达 8KB 片上 RAM 存储器
- 访问速率为 HCLK
- 访问位宽支持字节（8 比特）、半字（16 比特）、字（32 比特）
- 具有奇偶校验功能

6.8 闪存存储器（FLASH）

本芯片内部集成了 64KB 嵌入式 FLASH 供用户使用，可用来存储应用程序及用户数据。FLASH 存储器控制器为嵌入式片上 FLASH 存储器提供所有 FLASH 操作。FLASH 存储器具有编程和擦除功能以实现指令与数据的储存。

- 多达 64KB 片上 FLASH 存储器
- 多达 256 字节 OTP 存储器
- 支持 3 种访问位宽：字节（Byte）、半字（HalfWord）、全字（Word）
- 支持 3 种操作模式：读出、写入、擦除
- 支持 3 种安全保护：读保护、写保护、擦保护

6.9 直接内存访问（DMA）

本芯片支持直接内存访问（DMA），无需 CPU 干预，即可实现外设和存储器之间、外设和外设之间、存储器和存储器之间的高速数据传输。DMA 控制器内部的优先级仲裁器，可实现 DMA 和 CPU 对外设总线控制权的仲裁，以及多 DMA 通道之间的调度执行。

- 4 条独立 DMA 通道
- 3 种数据块宽度：8bit、16bit、32bit
- 4 种传输模式：软件 BLOCK、软件 BULK、硬件 BLOCK、硬件 BULK
- 源地址及目的地址类型：外设、存储器
- 地址增量方式：固定、自增
- 待传输数据块数量：1 ~ 65535
- 寻址范围：0x0000 0000 ~ 0xFFFF FFFF

6.10 循环冗余校验(CRC)

循环冗余校验 (CRC) 计算单元将数据流作为输入，在生成多项式的控制下生成一个输出数。该输出数常应用于验证数据传输或数据存储的正确性和完整性。本芯片内置 CRC 计算单元，支持多种 CRC 算法。

- 8 种常用的算法
- 2 种生成多项式：
 - CRC-16 多项式 1: $x^{16} + x^{15} + x^2 + 1$
 - CRC-16 多项式 2: $x^{16} + x^{12} + x^5 + 1$

6.11 通用输入输出端口 (GPIO)

本芯片最多支持 56 个 GPIO 端口，实际可用的 GPIO 端口数量受封装限制，详见数据手册。GPIO 可配置为数字输入输出和模拟功能，支持外设功能复用，支持高电平、低电平、上升沿和下降沿 4 种中断源，可在深度休眠模式下通过外部中断唤醒 MCU 回到运行模式。

- 功能复用：每只管脚可配置为多种数字或模拟功能
- 输入模式：模拟输入、高阻输入、上/下拉输入
- 输出模式：模拟输出、推挽输出、开漏输出
- 信号输入：输入信号到达数据输入寄存器 (GPIOx_IDR) 及片内外设
- 信号输出：输出信号来源为数据输出寄存器 (GPIOx_ODR) 或片内外设
- 位宽自由：数据输出寄存器 (GPIOx_ODR) 支持 8bit、16bit、32bit 访问方式
- 原子操作：具备原子操作寄存器 (GPIOx_BSRR、GPIOx_BRR、GPIOx_TOG)
- 中断滤波：集成硬件滤波电路，屏蔽毛刺信号
- 中断类型：上升沿中断、下降沿中断、高电平中断、低电平中断
- 中断唤醒：每只管脚均可将 MCU 从深度休眠模式唤醒
- 辅助功能：输出各种内部内钟、片内外设输入信号重定向

6.12 基本定时器（BTIM）

本芯片内部集成 3 个基本定时器 BTIM，每个 BTIM 包含一个 16bit 自动重载计数器并由一个可编程预分频器驱动。BTIM 支持定时器模式、计数器模式、触发启动模式和门控模式这 4 种工作模式，支持溢出事件触发中断请求和 DMA 请求。

- 16bit 计数器
- 16bit 预分频器，支持任意分频
- 单脉冲计数
- 门控功能
- 触发启动功能
- 外部计数功能
- 多个定时器级联工作
- 中断及 DMA 功能

6.13 通用定时器（GTIM）

本芯片内部集成 3 个通用定时器 GTIM，每个 GTIM 包含一个 16bit 自动重载计数器并由一个可编程预分频器驱动。GTIM 支持定时器模式、计数器模式、触发启动模式、门控模式和编码计数模式，支持中断请求和 DMA 请求。

- 16bit 计数器
- 16bit 预分频器，支持任意分频
- 单脉冲计数
- 门控功能
- 触发启动功能
- 外部计数功能
- 4 路独立输入捕获 / 输出比较通道
- 支持 3 通道异或捕获功能
- 支持输入捕获复位计数值
- PWM 占空比调节范围为 0% ~ 100%
- 编码计数器功能
- 多个定时器级联工作
- 片内外设互联
- 中断及 DMA 功能

6.14 高级定时器（ATIM）

高级定时器(ATIM)由一个 16 位的自动重载计数器和 7 个比较单元组成，并由一个可编程的预分频器驱动。ATIM 支持 6 个独立的捕获/比较通道，可实现 6 路独立 PWM 输出或 3 对互补 PWM 输出或对 6 路输入进行捕获。可用于基本的定时/计数、测量输入信号的脉冲宽度和周期、产生输出波形（PWM、单脉冲、插入死区时间的互补 PWM 等）。

- 16 位向上、向下、向上/向下自动装载计数器
- 6 个独立通道输入捕获和输出比较
- PWM 输出，边沿或中央对齐模式
- 死区时间可编程的互补 PWM 输出
- 刹车功能
- 单脉冲模式输出
- 正交编码计数功能
- 支持中断和事件：
 - 计数器上溢、下溢
 - 捕获、比较事件
 - 捕获数据丢失
 - 刹车事件
 - 更新事件
 - 触发事件

6.15 低功耗定时器（LPTIM）

LPTIM 是一个具有多种时钟源的 16 比特的定时器，能够在各种工作条件下保持运行状态。当选择 LSI/LSE 作为其时钟源时，LPTIM 可以定时将系统从 DeepSleep 模式下唤醒；当 LPTIM 没有时钟源，可作为“脉冲计数器”对脉冲信号进计数。LPTIM 还可以工作于正交编码模式，在低功耗模式下对正交编码信号进行计数。

- 16 bit 计数器
- 16 bit 自动重载寄存器
- 16 bit 比较寄存器，支持输出 PWM 信号
- 可编程预分频器，1 ~ 128 分频
- 多种计数时钟
 - PCLK、LSI、LSE
 - 输入到管脚的脉冲信号
 - 输入到管脚的正交编码信号
- 支持 DeepSleep 模式下工作，溢出中断可唤醒 MCU
- 工作于低功耗定时模式时，唤醒周期为 61us ~ 256s

6.16 独立看门狗定时器 (IWDT)

本芯片内部集成高安全性的独立看门狗定时器(IWDT)，并配备专用的时钟源 RC8K。该独立看门狗可检测并解决由软件错误导致的故障，并在计数器达到给定的超时值时触发系统复位。IWDT 在深度休眠模式下可选择继续运行或暂停运行。

- 12bit 递减计数器
- 专用时钟源 RC8K
- 溢出周期为 500us ~ 262s
- 溢出可触发中断或复位
- 深度休眠模式下可继续运行或暂停运行

6.17 窗口看门狗定时器(WWDT)

本芯片内部集成窗口看门狗定时器(WWDT)，可用来监测由外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行序列而产生的软件故障。用户需要在设定的时间窗口内对 WWDT 刷新，否则将触发系统复位。WWDT 采用 PCLK 作为其工作时钟，适合那些要求看门狗在精确计时窗口起作用的应用程序。

- 开启后不可关闭
- 7 比特递减计数器
- 计数时钟来自 PCLK
- 当 PCLK 为 48MHz 时，溢出周期为 85us ~ 699ms
- 计数值递减到 0x40 时产生中断
- 计数值递减到 0x3F 时产生复位
- 在窗口外进行重载操作产生复位

6.18 实时时钟(RTC)

实时时钟（RTC）是一个专用的计数器/定时器，可提供日历信息，包括小时、分钟、秒、日、月份、年份以及星期；具有两个独立闹钟，适用于需要周期性定时的场景；可在 DeepSleep 模式下运行，适用于要求低功耗的场景。

- 日历功能：
 - 支持秒、分、时计时
 - 支持星期、日、月份和年份计时
 - 支持闰年自动修正
 - 支持 12/24 小时制
- 闹钟功能：
 - 两组独闹钟
 - 定时精确到秒
- 中断功能：
 - 闹钟中断，精确到秒
 - 周期性中断，0.5s ~ 1month
 - 自动唤醒中断，61us ~ 145hour
- 校准补偿功能：
 - 最小时钟误差补偿步长，0.119ppm
- 安全保护
 - 寄存器锁定，防止意外修改
 - 数据防呆，无效数据无法写入
 - 入侵检测，记录入侵时刻点
- 可工作于运行模式、休眠模式和深度休眠模式

6.19 自动唤醒定时器(AWT)

本芯片内部集成 1 个自动唤醒定时器(AWT)；当计数器时钟源为 LSE 或 LSI 时，AWT 可周期性自动将 MCU 唤醒到运行模式。

- 16bit 向下计数器
- 5 种计数时钟源：LSE / HSE / LSI / HSIOSC / ETR
- 可编程预分频器：2 ~ 32768 分频
- 支持 DeepSleep 模式下工作，溢出中断可唤醒 MCU
- 计数时钟源为 LSI 时，唤醒周期为 61us ~ 65536s

6.20 通用异步收发器 (UART)

本芯片内部集成 3 个 UART 模块，支持异步全双工、单线半双工模式和同步半双工；支持 LIN 通信；支持硬件数据流控和多机通信；支持小数波特率发生器；支持深度休眠模式下接收数据。

- 支持双时钟域驱动
 - 配置时钟 PCLK
 - 传输时钟 UCLK
- 可编程数据帧结构
 - 数据字长：8/9 位
 - 校验位：无校验/奇校验/偶校验
 - 停止位长度：1/1.5/2 位
- 16 位整数、4 位小数波特率发生器
- 支持异步全双工、单线半双工、同步半双工、LIN 模式
- 支持硬件流控 RTS、CTS
- 支持直接内存访问(DMA)
- 支持多机通信
- 低功耗模式下接收数据

6.21 串行外设接口(SPI)

串行外设接口（SPI）是一种同步串行数据通信接口，常用于 MCU 与外部设备之间进行同步串行通信。本芯片内部集成 2 个串行外设 SPI 接口，支持双向全双工、单线半双工和单工通信模式，可配置 MCU 作为主机或从机，支持多主机通信模式，支持直接内存访问（DMA）。

- 支持主机模式、从机模式
- 支持全双工、单线半双工、单工
- 可选的 4 位到 16 位数据帧宽度
- 支持收发数据 LSB 或 MSB 在前
- 可编程时钟极性和时钟相位
- 主机模式下通信速率高达 PCLK/2
- 从机模式下通信速率高达 PCLK/4
- 支持多机通信模式
- 8 个带标志位的中断源
- 支持直接内存访问(DMA)

6.22 I2C 接口（I2C）

本芯片内部集成 2 个 I2C 控制器，能按照设定的传输速率（标准，快速，高速）将需要发送的数据按照 I2C 规范串行发送到 I2C 总线上，并对通信过程中的状态进行检测，另外还支持多主机通信中的总线冲突和仲裁处理。

- 支持主机发送/接收，从机发送/接收四种工作模式
- 支持时钟延展(时钟同步)和多主机通信冲突仲裁
- 支持标准(100Kbps)/快速(400Kbps)/高速(1Mbps)三种工作速率
- 支持 7bit 寻址功能
- 支持 3 个从机地址
- 支持广播地址
- 支持输入信号噪声过滤功能
- 支持中断状态查询功能

6.23 红外调制器(IRMOD)

本芯片内部集成红外调制器(IRMOD)，借助 GTIM 的输出比较通道和 UART 的 TXD 信号，可输出多种红外调制波形。

- 载波信号占空比可任意调节
- 多种调制信号：GTIM1_CH1 / GTIM1_CH2 / UART1_TXD / UART2_TXD
- 两种调制方式：逻辑与，逻辑或

6.24 模数转换器(ADC)

本芯片内部集成一个 14 位分辨率、最高 1MSPS 转换速度的逐次比较型模数转换器(SAR ADC)，最多可将 16 路模拟信号转换为数字信号。

- 14 位分辨率
- 最高转换速率为 1MSPS
- 16 个输入转换通道：
 - 13 个外部管脚输入
 - 1 个内置温度传感器
 - 1 个内置 BGR 1.2V 基准
 - 1 个 AVCC/3 电源电压
- 4 种参考源 (Vref)：
 - AVCC 电源电压
 - ExREF 管脚电压
 - 内置 1.5V 参考源
 - 内置 2.5V 参考源
- 采样电压输入范围：0~Vref
- 多种转换模式：
 - 单次转换
 - 多次转换
 - 持续转换
 - 序列扫描转换
 - 序列断续转换
 - 逐通道依次转换
- 支持输入通道电压阈值监测
- 内置电压跟随器，可转换高阻抗输入信号
- 支持片内外设自动触发 ADC 转换

6.25 模拟电压比较器(VC)

本芯片内部集成 2 个模拟电压比较器，支持从管脚输出比较结果。模拟电压比较器具备迟滞功能、滤波功能、极性选择功能、窗口比较功能。其中断，可唤醒 DeepSleep 状态下的 MCU。

- 2 个模拟电压比较器单元
- 配置 64 阶电阻分压器
- 多达 8 路外部模拟信号输入
- 具备 4 路内部模拟输入信号：
 - 内置电阻分压器输出电压
 - 内置温度传感器输出电压
 - 内置 1.2V 基准电压
 - ADC 参考源
- 可选择输出极性
- 支持迟滞功能
- 支持窗口比较功能
- 支持数字滤波
- 支持 3 种中断触发方式，可组合使用
 - 高电平触发
 - 上升沿触发
 - 下降沿触发
- 支持低功耗运行，可唤醒 DeepSleep 状态下的 MCU

6.26 可编程电压检测器 (LVD)

LVD 可用于监测 AVCC 及芯片管脚的电压，当被监测电压与 LVD 阈值的比较结果满足触发条件时，将产生 LVD 中断或复位信号，用户可使用该信号处理一些紧急任务。

- 4 路监测源，AVCC、LVD_IN1、LVD_IN2、LVD_IN3 管脚输入
- 16 阶阈值电压，范围 1.8V ~ 3.3V
- 8 种触发条件，高电平、上升沿、下降沿组合
- 2 种触发结果，复位、中断
- 8 阶滤波可配置
- 具备迟滞功能，强力抗干扰

6.27 数字签名

数字签名主要用来存放芯片唯一身份标识 (UID)、产品型号、FLASH 容量、RAM 容量、芯片管脚数量等信息，可通过 ISP、SWD 或 CPU 进行读取。数字签名相关信息在出厂时写入，用户固件或外部设备可通过读取数字签名来对芯片的合法性进行验证。

- 80bit LUID / 48bit SUID 存储区
- 22 字节产品型号 ASCII 码存储区
- 4 字节 FLASH 容量存储区
- 4 字节 RAM 容量存储区
- 1 字节管脚数量存储区

7 典型应用电路图

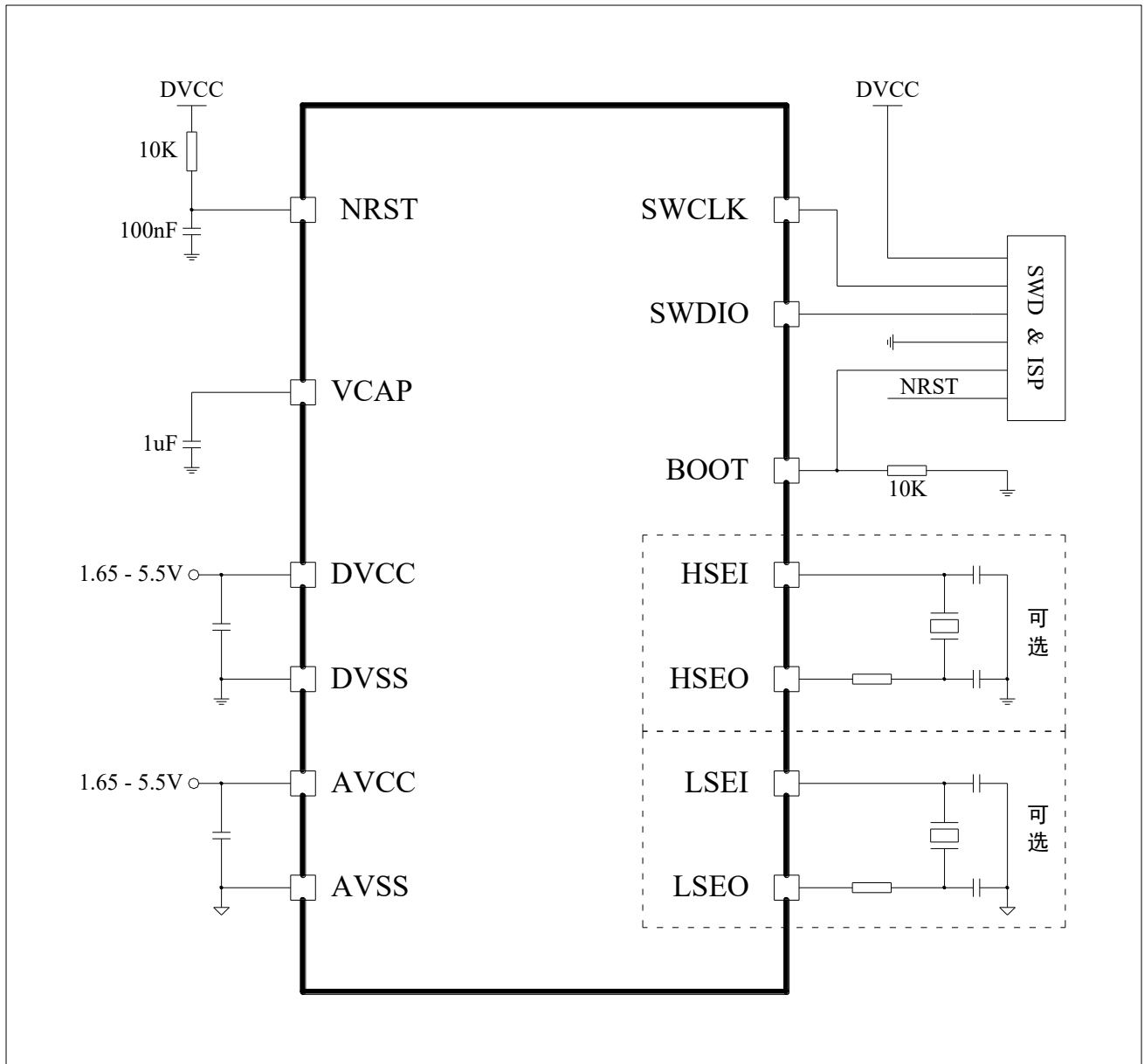


图 7-1 典型应用电路图

注意：

- AVCC 与 DVCC 电压必须相同。
- 每组电源都需要一个去耦电容，去耦电容尽量靠近相应电源管脚。
- VCAP 管脚应外接电容，其容值应不小于 1uF。

8 电气特性

8.1 参数条件

除非特别说明，所有的电压值都以 VSS 为基准。

8.1.1 最大值和最小值

除非特别说明，在环境温度、电源电压和时钟频率的最坏条件下，通过在 $T_A=25^{\circ}\text{C}$ 和 $T_A=T_{A\text{max}}$ (由所选温度范围给出)环境下对 100%产品的测试来得出各项参数的最大值和最小值保证。

在表格下方的注解中可能会提示有些数据是通过推算、设计模拟和/或工艺特性得到的，这些数据不是在生产线上测试得到的。在推算的基础上，最小值和最大值是通过样本测试后，取其平均值再加减三倍的标准分布（平均 $\pm 3\Sigma$ ）得到。

8.1.2 典型值

除非特别说明，典型值是基于 $T_A = 25^{\circ}\text{C}$ 和 $V_{CC} = 3.3\text{V}$ 测试环境的。这些数据仅用于设计指导而未经实验验证。

8.1.3 典型曲线

除非特别说明，所有的典型曲线仅用于设计指导而未经实验验证。

8.1.4 负载电容

测量管脚参数时的负载条件如下图所示：

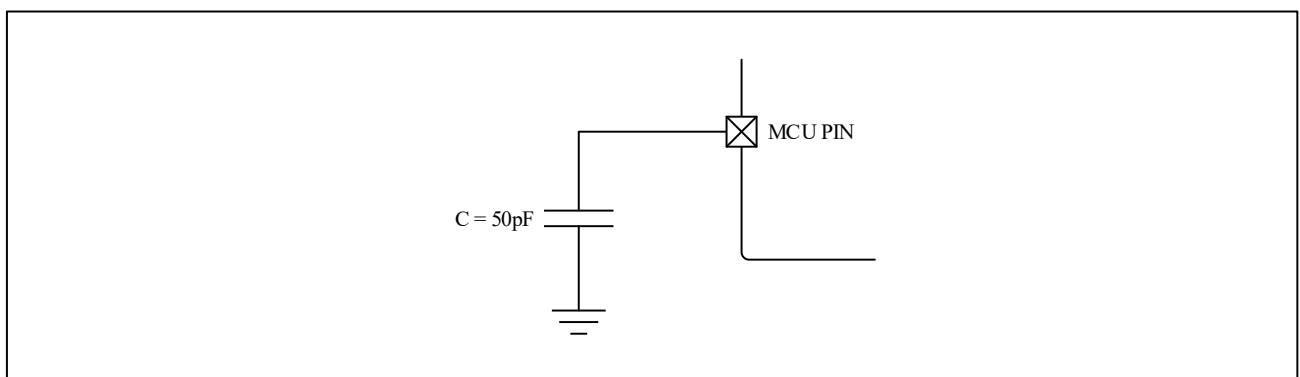


图 8-1 管脚负载条件

8.1.5 管脚输入电压

管脚输入电压的测量方式如下图所示：

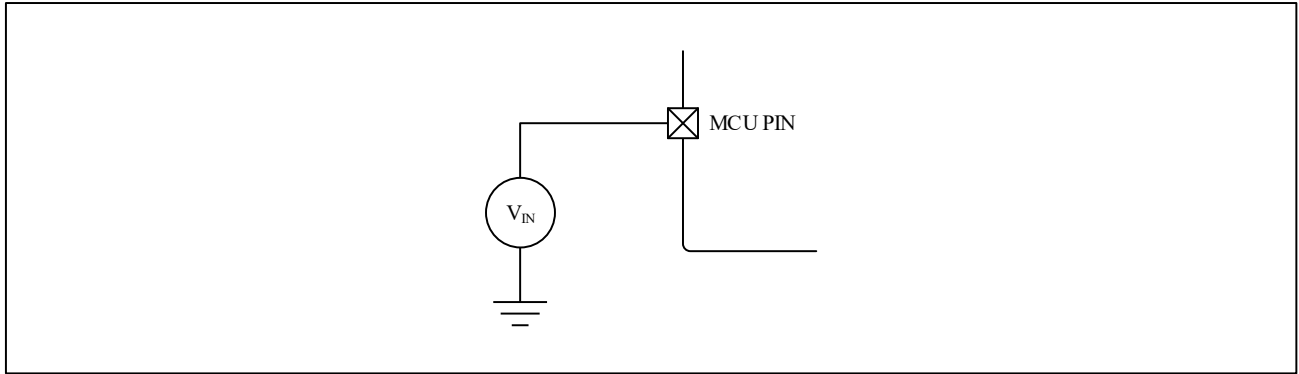


图 8-2 管脚输入电压

8.1.6 电源系统

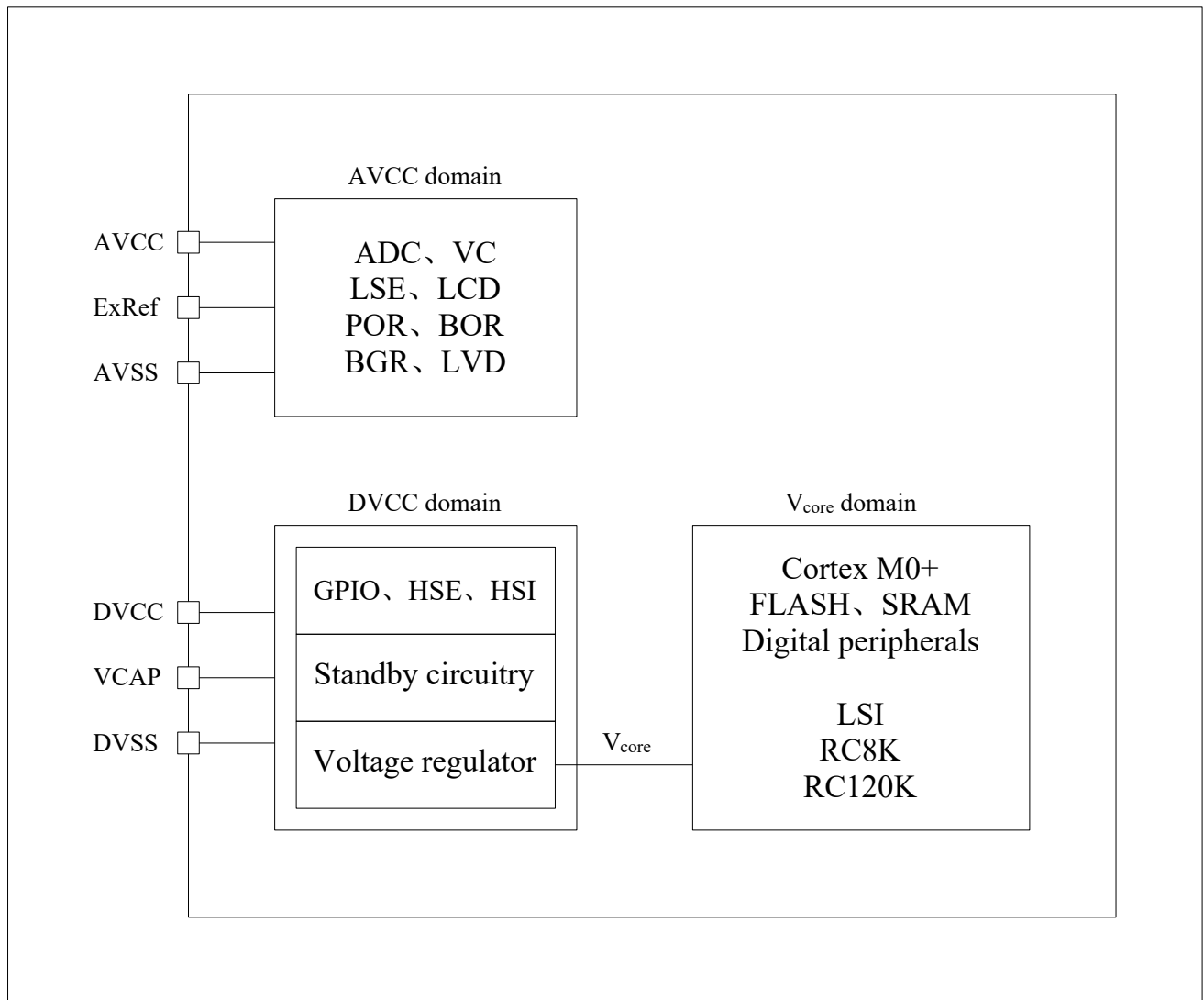


图 8-3 电源系统

8.1.7 电流消耗测试

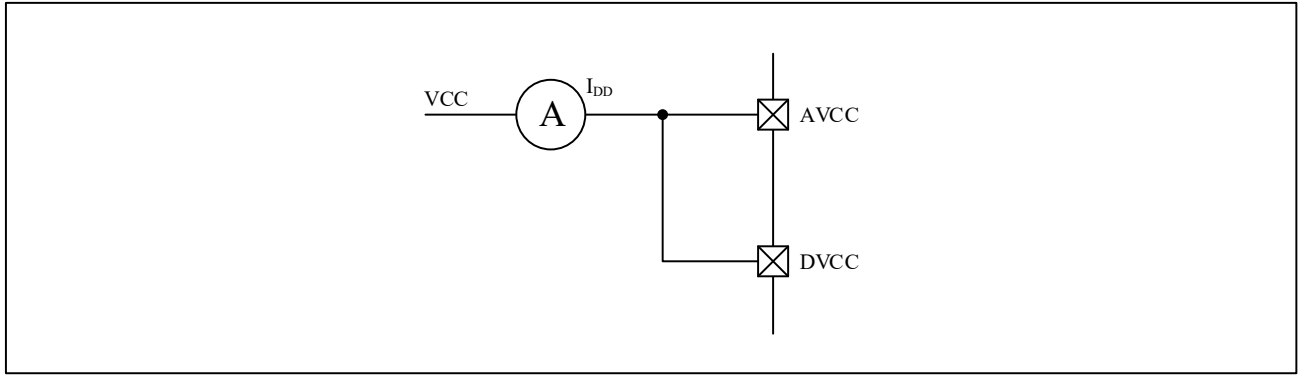


图 8-4 电流消耗测试方法

8.2 极限参数

高于表 8-1、表 8-2 和表 8-3 所列的绝对最大额定值的载荷可能会对芯片造成永久性的损坏。这些只是压力额定值，并不表示芯片在这种条件下能够正确工作。长时间处于最大额定条件下可能会影响芯片的可靠性。

表 8-1 电压特性^{注1}

符号	描述	最小值	最大值	单位
DVCC-DVSS	数字电源供电电压	-0.3	6.0	V
AVCC-AVSS	模拟电源供电电压	-0.3	6.0	V
DVCC-AVCC	DVCC与AVCC的差值	-	0.3	V
DVSS-AVSS	DVSS与AVSS的差值	-	0.05	V
ΔDVCCx	不同DVCC管脚间的压差	-	0.05	V
V _{IN} ^{注2}	IO口输入电压	VSS-0.3	VCC+0.3	V
V _{ESD} (HBM)	静电放电电压（人体模式）	参见ESD特性表		kV

注 1：所有的电源（AVCC，DVCC）和地（AVSS，DVSS）管脚必须一直接在外接电源上，并保持在许可范围。

注 2：V_{IN} 的最大值是不能超过的，同时参见表 8-2 的最大允许注入电流值。

表 8-2 电流特性

符号	描述	最大值	单位
ΣI _{VCC}	全部VCC供电线的灌电流总和（流入） ^{注1}	120	mA
ΣI _{VSS}	全部VSS供电线的拉电流总和（流出） ^{注1}	-120	
I _{VCC} (PIN)	单个VCC供电线的灌电流总和（流入） ^{注1}	100	
I _{VSS} (PIN)	单个VSS供电线的拉电流总和（流出） ^{注1}	-100	
I _{IO} (PIN)	单个I/O或控制管脚灌入的电流	+25	
	单个I/O或控制管脚输出的电流	-25	
ΣI _{IO} (PIN)	全部I/O或控制管脚灌入的电流总和	+80	
	全部I/O或控制管脚输出的电流总和	-80	
I _{INJ} (PIN) ^{注2、注3}	TC和RST管脚的注入电流	±5	
	TTa管脚的注入电流	±5	
ΣI _{INJ} (PIN)	全部I/O或控制管脚注入的电流总和 ^{注4}	±25	

注 1：所有的电源（AVCC，DVCC）和地（AVSS，DVSS）管脚必须一直接在外接电源上，并保持在许可范围。

注 2：I_{INJ}(PIN)绝对不可以超过它的极限，即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值，也要保证在外部限制 I_{INJ}(PIN)不超过其最大值。当 V_{IN} > VCC 时，有一个正向注入电流；当 V_{IN} < VSS 时，有一个反向注入电流。

注 3：反向注入电流会干扰器件的模拟性能。

注 4：当几个 I/O 口同时有注入电流时，ΣI_{INJ}(PIN)的最大值为正向注入电流与反向注入电流的即时绝对值之和。该结果基于在器件 4 个 I/O 端口上 ΣI_{INJ}(PIN)最大值的特性。

表 8-3 温度特性

符号	描述	值	单位
T _{STG}	储存温度范围	-65 至 +150	°C
T _J	最大结温	105	

8.3 工作条件

8.3.1 一般工作条件

表 8-4 一般工作条件

符号	参数	条件	最小值	最大值	单位
f _{HCLK}	内部AHB总线频率	DVCC≥1.8V	0	48	MHz
f _{PCLK}	内部APB总线频率				
f _{HCLK}	内部AHB总线频率	DVCC≥1.65V	0	24	
f _{PCLK}	内部APB总线频率				
DVCC	数字工作电压	-	1.65	5.5	V
AVCC	模拟工作电压	须等于DVCC	1.65	5.5	
V _{IN}	I/O输入电压	TC I/O	-0.3	DVCC+0.3	V
		TTa I/O	-0.3	DVCC+0.3	
		BOOT	-0.3	DVCC+0.3	
P _D	功率耗散 ^{注1} T _A =85℃	LQFP48		364	mW
		LQFP32	-	357	
		QFN48		714	
		QFN32	-	541	
T _A	环境温度	最大功率耗散	-40	85	℃
		低功率耗散 ^{注2}	-40	105	
T _J	结温范围	-	-40	105	℃

注 1: 如果 T_A 较低, 只要 T_J 不超过 T_{Jmax} (参见 9.3 热特征参数), 则允许更高的 P_D 数值。

注 2: 在较低的功率耗散的状态下, 只要 T_J 不超过 T_{Jmax} (参见 9.3 热特征参数), T_A 可以扩展到这个范围。

8.3.2 上电/掉电时的工作条件

下表中给出的参数是在一般工作条件下测试得到的。

表 8-5 上电/掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t_{DVCC}	DVCC上升速率	-	0	∞	us/V
	DVCC下降速率		20	∞	
t_{AVCC}	AVCC上升速率	-	0	∞	
	AVCC下降速率		20	∞	

8.3.3 内置复位和电源控制电路特性

下表中给出的参数是在一般工作条件下测试得到的。

表 8-6 内置复位和电源控制电路特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{POR/BOR}$	上电 / 掉电复位门限	下降沿	1.45 ^{注1}	1.50	1.55	V
		上升沿	1.50 ^{注2}	1.55	1.60	
$V_{BORhyst}$ ^{注3}	BOR 迟滞	-	-	50	-	mV
$t_{RSTTEMPO}$ ^{注3}	复位持续时间	-	5.5	6	18	ms

注 1：产品的特性由设计保证至最小的数值 $V_{POR/BOR}$ 。

注 2：由参数推导，不在生产中测试。

注 3：由设计保证，不在生产中测试。

8.3.4 内部参考电压

表 8-7 内部参考电压

符号	参数	条件	最小值	典型值	最大值	单位
$V_{REFINT1V5}$	内部1.5V参考电压	$-40^{\circ}\text{C} < T_A < 85^{\circ}\text{C}$	1.485	1.500	1.515	V
$V_{REFINT2V5}$	内部2.5V参考电压		2.475	2.500	2.525	
T_{Coeff} ^{注1}	温度系数	-	-60	-	+60	ppm/ $^{\circ}\text{C}$

注 1：由设计保证，不在生产中测试。

8.3.5 供电电流特性

电流消耗是受多种因素影响的，例如：工作电压、环境温度、I/O 管脚负载、软件程序配置、工作频率、I/O 口开关速率、以及程序运行时取指令的存储位置等等。

图 8-4 测试方式显示了测试电流消耗的电路。

所有运行模式的电流消耗测量结果，均基于测试 CoreMark 时相同的有限代码。

8.3.5.1 典型和最大电流消耗

MCU 处于如下测试条件：

- 全部 I/O 口处于模拟输入状态
- 全部外设除了特定提醒的部分，都处于关闭状态
- FLASH 的访问速度调整到 f_{HCLK} 频率
 - 0~24MHz 时不插入等待位
 - 超过 24MHz 时插入 1 个等待位
 - 超过 48MHz 时插入 2 个等待位
- 当外设使能时 $f_{PCLK} = f_{HCLK}$

表 8-8 典型及最大电流消耗 @ VCC=5.5V

符号	参数	条件	f_{HCLK}	全部外设打开		单位
				典型值	最大值 ^{注1}	
					$T_A = 85^\circ\text{C}$	
$I_{DD}^{\text{注2}}$	运行模式的供电电流	以HSI时钟 从FLASH运行	48MHz	4.6	5.2	mA
			24MHz	3.7	4.2	
			8MHz	1.6	1.8	
			4MHz	1.1	1.2	
I_{DD}	运行模式的供电电流	以HSI时钟 从RAM运行	48MHz	2.6	2.9	mA
			24MHz	1.5	1.7	
			8MHz	0.8	0.9	
			4MHz	0.6	0.7	
I_{DD}	Sleep模式的供电电流	以HSI时钟 从FLASH/RAM运行	48MHz	1.10	1.23	mA
			24MHz	0.75	0.86	
			8MHz	0.52	0.61	
			4MHz	0.45	0.55	

注 1：数据基于表征结果，除非另有说明，否则未经生产测试。

注 2： I_{DD} 是 DVCC 和 AVCC 的总电流消耗。

表 8-9 DeepSleep 时典型及最大电流消耗 @ VCC=3.3V

符号	参数	条件	全部外设打开		单位
			典型值	最大值 ^{注1}	
				T _A =85°C	
I _{DD} ^{注2}	DeepSleep 模式 供电电流	全部振荡器关闭	0.45	3.84	uA
		IWDT 运行	0.52	3.92	
		LSE打开、RTC运行	0.81	4.28	
		LSE打开 RTC / IWDT / LVD运行	1.11	4.65	

注 1：数据基于表征结果，除非另有说明，否则未经生产测试。

注 2：I_{DD} 是 DVCC 和 AVCC 的总电流消耗。

8.3.5.2 典型电流消耗

MCU 处于如下测试条件：

- DVCC = AVCC = 3.3V
- 全部 I/O 口处于模拟状态
- 全部外设除了特定提醒的部分，都处于关闭状态
- FLASH 的访问速度调整到 f_{HCLK} 频率
 - 0~24MHz 时不插入等待位
 - 超过 24MHz 时插入 1 个等待位
- 当外设使能时 f_{PCLK} = f_{HCLK}

表 8-10 运行模式的典型电流消耗

符号	参数	条件	f _{HCLK}	典型值		单位
				外设全部 打开	外设全部 关闭	
I _{DD} ^{注1}	Active模式 供电电流	以HSI时钟从FLASH运行	48MHz	7.2	4.6	mA
			24MHz	5.0	3.7	
			12MHz	2.8	2.2	
			8MHz	2.1	1.6	
			4MHz	1.3	1.1	

注 1：I_{DD} 是 DVCC 和 AVCC 的总电流消耗。

8.3.5.3 IO 系统电流消耗

I/O 系统的电流消耗包括两个部分：静态和动态

● I/O 静态电流消耗

当全部的 I/O 管脚由外部保持低电平时，I/O 口处于输入模式并打开内部上拉的情况下，会产生电流消耗。这部分的数据可以简单的通过表 I/O 的静态特性表中的上拉电阻值来计算。

作为输出管脚，任何外部的下拉或者外部负载也需要考虑电流消耗。

如果 I/O 口的输入电平是中间电平，将会不断引起内置施密特触发器翻转，导致额外的随机电流消耗（尽管很小），如果不需要实时判断电平翻转情况，那应该将 I/O 口置于模拟模式以避免这一点。

注：由于外部电磁噪声，任何浮动输入管脚也可能稳定到中间电压电平或无意中切换。为避免与浮动管脚相关的电流消耗，它们必须配置为模拟模式，或在内部强制为确定的数字值。这可以通过使用上拉/下拉电阻或通过将管脚配置为输出模式来完成。

● I/O 动态电流消耗

除了之前测量的内部外设电流消耗外，应用程序使用 I/O 也会影响电流消耗。当 I/O 管脚切换时，它使用来自 I/O 电源电压的电流为 I/O 管脚电路供电，并对连接到该管脚的容性负载（内部或外部）进行充电和放电：

$$I_{sw} = V_{CCIO} * f_{sw} * C$$

其中：

I_{sw} 是开关 I/O 为容性负载充电/放电所吸收的电流

V_{CCIO} 是 I/O 的供电电压

f_{sw} 是 I/O 开关切换频率

C 是由 I/O 口向外看出去的总电容： $C = C_{INT} + C_{EXT} + C_S$

C_S 是 PCB 板包括焊盘的寄生电容

测试管脚被配置成推拉输出模式并由软件以固定的频率不断翻转。

表 8-11 开关输出 I/O 电流消耗

符号	范围	条件	I/O 翻转频率	典型值	单位
I_{sw}	I/O 电流消耗	$V_{CCIO} = 3.3V$ $C_{EXT} = 0pF$ $C = C_{INT} + C_{EXT} + C_S$	4MHz	0.18	mA
			8MHz	0.37	
			16MHz	0.76	
			24MHz	1.39	
		$V_{CCIO} = 3.3V$ $C_{EXT} = 22pF$ $C = C_{INT} + C_{EXT} + C_S$	4MHz	0.49	
			8MHz	0.94	
			16MHz	2.38	
			24MHz	3.99	
		$V_{CCIO} = 3.3V$ $C_{EXT} = 47pF$ $C = C_{INT} + C_{EXT} + C_S$	4MHz	0.81	
			8MHz	1.70	
			16MHz	3.67	

注： $C_S = 7pF$ （估计值）

8.3.6 低功耗模式及其唤醒时间

下表给出的唤醒时间是在 HSIOSC 的唤醒阶段测试得到的。

从 Sleep 模式及 DeepSleep 模式唤醒后，SYSCLK 时钟源设置保持不变。

所有测试环境均来自表 8-4 一般工作条件中总结的环境温度和电源电压条件下。

表 8-12 DeepSleep 唤醒时间

符号	参数	典型值	最大值	单位
twUSLEEP	从Sleep唤醒	4		HCLK
twUDEEP	从DeepSleep唤醒	4.0	5.0	us

8.3.7 外部时钟源特性

8.3.7.1 外部输入的高速时钟

在外部输入模式下，HSE 振荡器被关闭，此时的输入管脚是一个标准的 GPIO。

外部时钟信号须遵守 I/O 特性章节的要求。推荐的时钟输入波形如下图所示。

表 8-13 外部高速时钟输入特性

符号	参数 ^{注1}	最小值	典型值	最大值	单位
f_{HSE_EXT}	用户外部时钟源频率	1	-	32	MHz
V_{HSEH}	HSEI输入管脚高电平电压	$0.7 V_{CCIO}$	-	V_{CCIO}	V
V_{HSEL}	HSEI输入管脚低电平电压	VSS	-	$0.3 V_{CCIO}$	
$t_{W(HSEH)}$ $t_{W(HSEL)}$	HSEI输入高/低电平时间	15	-	-	ns
$t_{r(HSE)}$ $t_{f(HSE)}$	HSEI输入升/降沿时间	-	-	20	

注 1：由设计保证，量产过程不会测试。

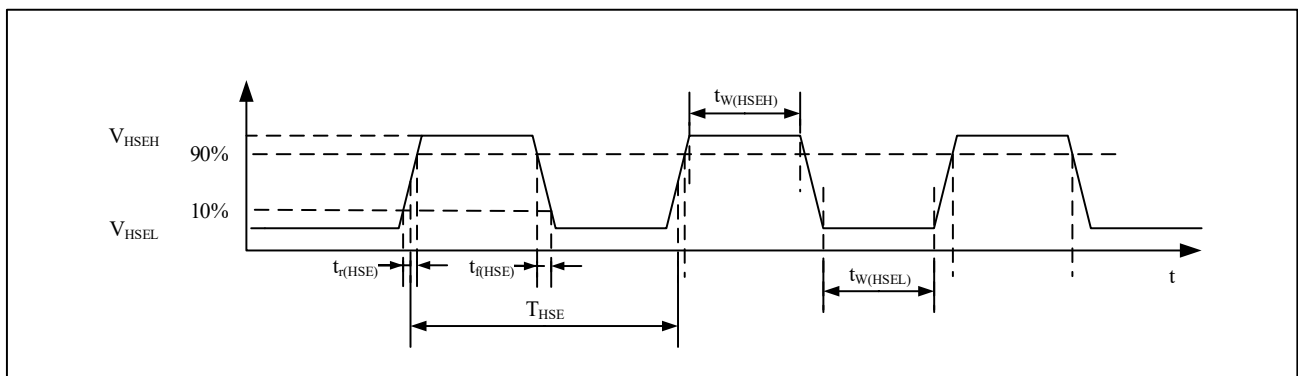


图 8-5 高速外部时钟源交流时序

8.3.7.2 外部输入的低速时钟

在外部输入模式下，LSE 振荡器被关闭，此时的输入管脚是一个标准的 GPIO。

外部时钟信号须遵守 I/O 特性章节的要求。推荐的时钟输入波形如下图所示。

表 8-14 外部低速时钟输入特性

符号	参数 ^{注1}	最小值	典型值	最大值	单位
f_{LSE_EXT}	用户外部时钟源频率		32.768	1000	kHz
V_{LSEH}	LSEI输入管脚高电平电压	$0.7 V_{CCIO}$	-	V_{CCIO}	V
V_{LSEL}	LSEI输入管脚低电平电压	VSS	-	$0.3 V_{CCIO}$	
$t_{W(LSEH)}$ $t_{W(LSEL)}$	LSEI输入高/低电平时间	450	-	-	ns
$t_{r(LSE)}$ $t_{f(LSE)}$	LSEI输入升/降沿时间	-	-	50	

注 1：由设计保证，量产过程不会测试。

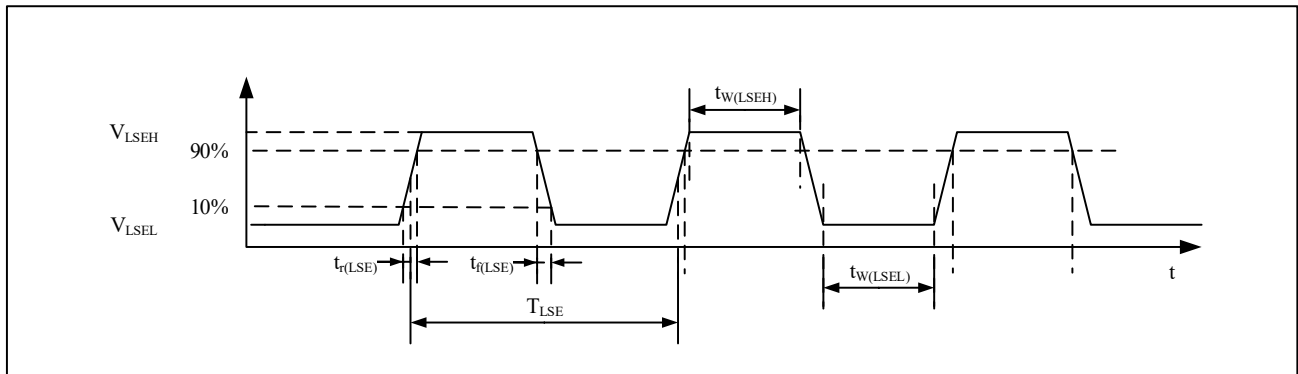


图 8-6 低速外部时钟源交流时序

8.3.7.3 由晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟(HSE)可以使用一个 4 到 32 MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节给出的所有信息都是基于下表中所述的典型外部组件的设计模拟结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器管脚，以减少输出失真和启动稳定时间。有关谐振器特性(频率、封装、精度)的更多细节，请参阅晶体谐振器制造商。

表 8-15 HSE 振荡器特性

符号	参数	条件 ^{注1}	最小值 ^{注2}	典型值	最大值 ^{注2}	单位
f_{HSEI}	振荡频率	-	4		32	MHz
R_F	反馈电阻	-	-	1.4	-	M Ω
I_{DD}	电流消耗	启动 ^{注3}	-	-	900	μA
		VCC = 3.3V, $R_m = 45\Omega$ CL = 10pF @ 8MHz	-	430	-	
		VCC = 3.3V, $R_m = 30\Omega$ CL = 20pF @ 32MHz	-	980	-	
$t_{SU(HSE)}$ ^{注4}	启动时间	VCC稳定	-	2	-	ms

注 1：由晶体/陶瓷谐振器制造商提供的谐振器特性。

注 2：设计保证，不经生产测试。

注 3：该消耗水平发生在 $t_{su(HSE)}$ 启动时间的前 2/3。

注 4： $t_{su(HSE)}$ 是从启动(通过软件)到达到稳定的 8MHz 振荡的启动时间。这个值是标准晶体谐振器的测量值，它可以随晶体制造商的不同而显著变化。

8.3.7.4 由晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟(LSE)可以使用一个 32.768kHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的管脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

表 8-16 LSE 振荡器特性

符号	参数	条件	最小值 ^{注1}	典型值	最大值 ^{注1}	单位
f_{LSEI}	振荡频率	-	-	32.768	-	kHz
I_{DD}	电流消耗	最小驱动能力	-	0.35	0.45	uA
		较小驱动能力	-	0.45	0.60	
		正常驱动能力	-	0.70	0.90	
		较强驱动能力		1.60	2.00	
$t_{SU(LSE)}$ ^{注2}	启动时间	VCC稳定	-	1.5	-	s

注 1：设计保证，不经生产测试。

注 2： $t_{su(LSE)}$ 是从启用(通过软件)到达到稳定的 32.768 kHz 振荡的启动时间。这个值是对标准晶体测量的，它可以随着晶体制造商的不同而显著变化。

8.3.8 内部时钟源特性

下表中给出的测试数据基于表 8-4 一般工作条件提示的测试环境抽样测试。

8.3.8.1 内部高速 RC 振荡器 (HSIOSC)

表 8-17 HSI 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	振荡频率	-	-	48	-	MHz
$\text{Duty}_{(\text{HSI})}$	占空比	-	45	-	55	%
$\text{ACC}_{(\text{HSI})}$	频率精度	$T_A = +25^\circ\text{C}$	-0.5	-	+0.5	%
		$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	-2.0	-	+2.0	
$t_{\text{SU}(\text{HSI})}$	建立时间	-	3	-	5	us
$I_{\text{DD}(\text{HSI})}$	启动电流	-	-	600	-	uA

8.3.8.2 内部低速 RC 振荡器 (LSI)

表 8-18 LSI 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	振荡频率	-	-	32.768	-	kHz
$\text{Duty}_{(\text{LSI})}$	占空比	-	45	-	55	%
$\text{ACC}_{(\text{LSI})}$	频率精度	$T_A = +25^\circ\text{C}$	-1	-	+1	%
		$T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$	-3	-	+3	
$t_{\text{SU}(\text{LSI})}$	建立时间	-	-	-	50	us
$I_{\text{DD}(\text{LSI})}$	启动电流	-	-	1	-	uA

8.3.8.3 内部低速 RC 振荡器 (RC8K)

表 8-19 RC8K 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{RC8K}	振荡频率	$T_A = +25^\circ\text{C}$	-	8.2	-	kHz
		$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	6.5	-	10.5	
$\text{Duty}_{(\text{RC8K})}$	占空比	-	45	-	55	%

8.3.8.4 内部低速 RC 振荡器 (RC120K)

表 8-20 RC120K 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{RC120K}	振荡频率	$T_A = +25^\circ\text{C}$	-	120	-	kHz
		$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	95	-	160	
$\text{Duty}_{(\text{RC120K})}$	占空比	-	45	-	55	%

8.3.9 存储器特性

未特别说明的情况下，下列数据针对-40°C ~ +85°C测试环境。

表 8-21 FLASH 特性

符号	参数	条件	最小值	典型值	最大值 ^{注1}	单位
T _{prog8}	字节编程时间	-	-	30	-	us
T _{prog16}	半字编程时间	-	-	37	-	
T _{prog32}	字编程时间	-	-	51	-	
T _{erase1}	页面擦除时间	-	-	4.6	-	ms
T _{erase2}	整片擦除时间	-	-	35	-	
I _{DD}	供电电流	写模式	-	-	3.5	mA
		擦除模式	-	-	2.0	
V _{prog}	编程电压	-	同DVCC / AVCC			V

注 1：由设计保障，非量产实测。

表 8-22 FLASH 寿命和数据保存期限

符号	参数	条件	最小值 ^{注1}	单位
N _{NED}	擦写寿命	T _A = -40°C ~ +85°C	20000	次
t _{RET}	数据保存期限	T _A = 25°C	100	年
		T _A = 85°C	25	

注 1：由综合评估得出，非量产实测。

8.3.10ESD 特性

使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

表 8-23 ESD 特性

符号	参数	条件	最大值	单位
$V_{ESD(HBM)}$	静电放电电压 (人体模型)	$TA = +25^{\circ}C$	8	kV
$V_{ESD(CDM)}$	静电放电电压 (充电设备模型)	$TA = +25^{\circ}C$	2	

8.3.11 I/O 特性

8.3.11.1 通用输入输出特性

无特别声明的情况下，下表给出的测试数据基于一般工作条件测试所得。
全部的 I/O 口按 CMOS 和 TTL 兼容的方式设计。

表 8-24 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	低电平输入电压	TC和TTa I/O	-	-	$0.3 V_{CCIO}$	V
V_{IH}	高电平输入电压	TC和TTa I/O	$0.7 V_{CCIO}$	-	-	V
V_{hys}	迟滞电压	TC和TTa I/O	-	400 ^{注1}	-	mV
I_{lkg}	输入漏电流	TC和TTa I/O 数字模式 $V_{SS} \leq V_{IN} \leq DV_{CC}$	-	-	± 0.1	uA
		TTa I/O 模拟模式 $V_{SS} \leq V_{IN} \leq DV_{CC}$	-	-	± 0.2	
R_{PU} ^{注2}	弱上拉等效电阻	$V_{IN} = V_{SS}$	45	75	220	k Ω
R_{PD} ^{注2}	弱下拉等效电阻	$V_{IN} = V_{CCIO}$	16	30	50	
C_{IO}	I/O管脚电容	-	-	5	-	pF

注 1：基于设计和仿真的数据，未实测。

注 2：上拉和下拉电阻是由 PMOS/NMOS 控制的真实电阻，PMOS/NMOS 的内阻对串联电阻的贡献很小。

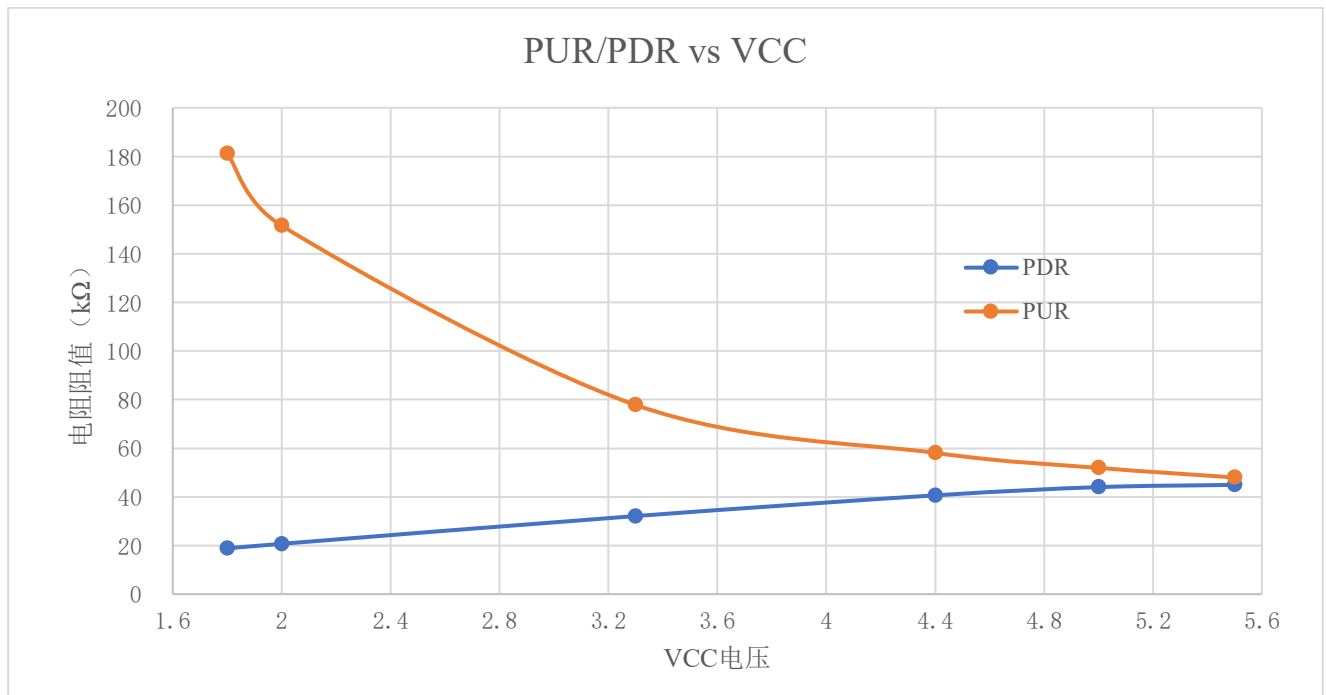


图 8-7 PUR / PDR 典型曲线

8.3.11.2 输出驱动能力

GPIO 的管脚可以灌入或拉出多达 $\pm 8\text{mA}$ 的电流，对输出的 V_{OH} 和 V_{OL} 要求不严格的时候可以多达 $\pm 20\text{mA}$ 。实际应用中，必须限制可以驱动电流的 I/O 管脚数量，以遵守第 8.2 节中指定的绝对最大额定值：

- V_{CCIO} 上所有 I/O 提供的电流总和加上 DV_{CC} 上提供的 MCU 的最大消耗，不能超过绝对最大额定值 ΣI_{VCC} （见表 8-1）。
- V_{SS} 上所有 I/O 吸收的电流之和，加上 V_{SS} 上吸收的 MCU 的最大消耗，不能超过绝对最大额定值 ΣI_{VSS} （见表 8-1）。

8.3.11.3 输出电平电压

无特别声明的情况下，下表给出的测试数据基于表 8-4 一般工作条件提示的测试环境。全部的 I/O 口按 CMOS 和 TTL 兼容的方式设计。

表 8-25 输出电压特性

符号	参数	条件	最小值	最大值	单位
V_{OHD}	输出高电平时的电压	Sourcing 8mA ^{注1} $DV_{CC} = 3.3\text{V}$	2.95	-	V
		Sourcing 16mA ^{注2} $DV_{CC} = 3.3\text{V}$	2.70	-	
V_{OLD}	输出低电平时的电压	Sinking 10mA ^{注1} $DV_{CC} = 3.3\text{V}$	-	0.27	V
		Sinking 20mA ^{注2} $DV_{CC} = 3.3\text{V}$	-	0.48	

注 1：所有输出组合的最大总电流 $I_{OH(max)}$ 和 $I_{OL(max)}$ 不应超过 40mA 。

注 2：所有输出组合的最大总电流 $I_{OH(max)}$ 和 $I_{OL(max)}$ 不应超过 100mA 。

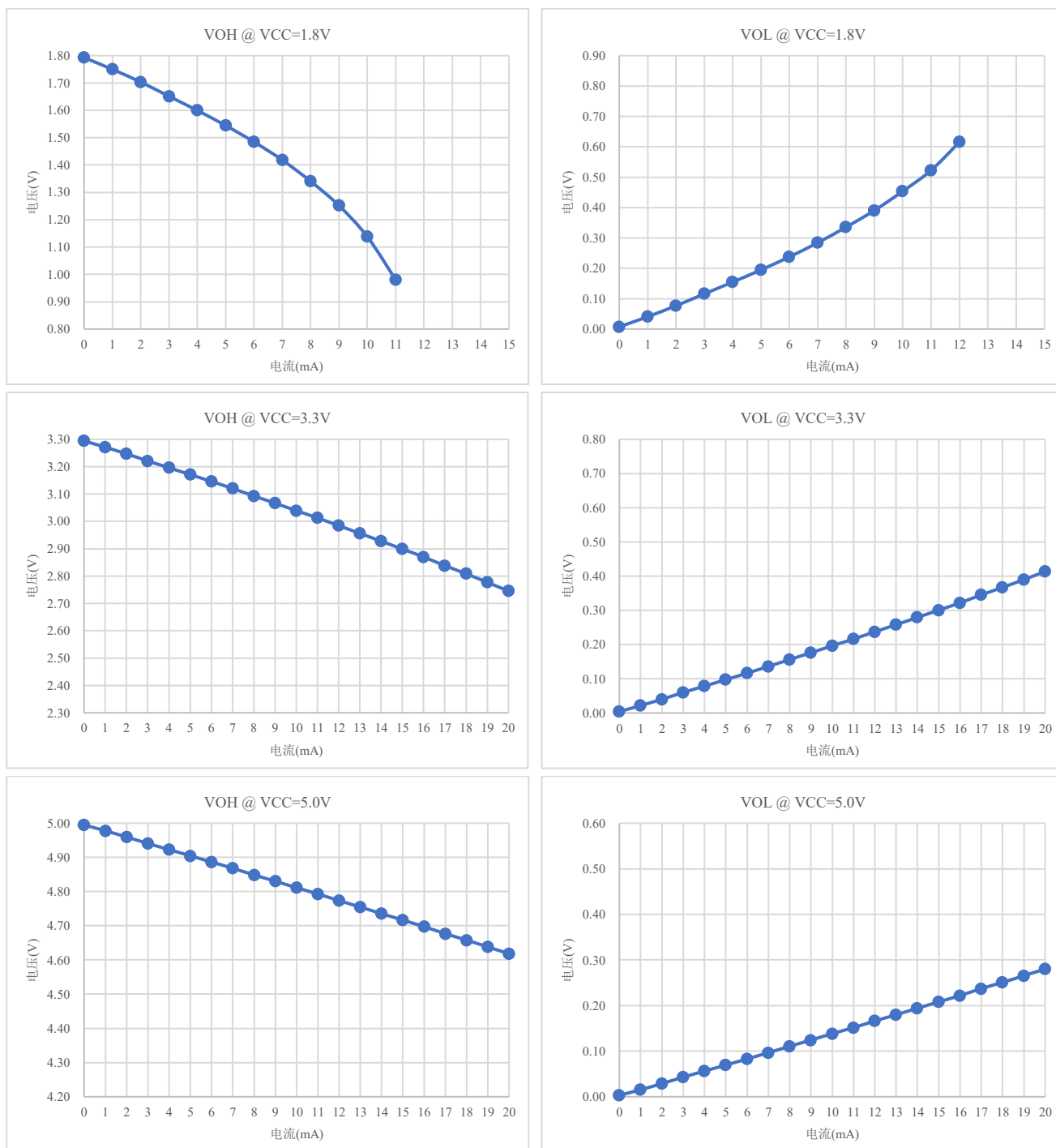


图 8-8 VOH / VOL 典型曲线

8.3.11.4 输入/输出交流特性

对于 I/O 口的交流特性的值和定义，由下列图表分别给出。

无特别声明的情况下，下表给出的测试数据基于表 8-4 一般工作条件提示的测试环境。

表 8-26 输入输出交流特性

符号	参数	条件	最小值	最大值	单位
$f_{\max}$	最大频率 ^{注3}	$C_L = 30\text{pF}$, $DVCC \geq 2.7\text{V}$	-	50	MHz
		$C_L = 50\text{pF}$, $DVCC \geq 2.7\text{V}$	-	30	
		$C_L = 50\text{pF}$, $2.4\text{V} \leq DVCC \leq 2.7\text{V}$	-	20	
t_f	下降沿时间	$C_L = 30\text{pF}$, $DVCC \geq 2.7\text{V}$	-	5	ns
		$C_L = 50\text{pF}$, $DVCC \geq 2.7\text{V}$	-	8	
		$C_L = 50\text{pF}$, $2.4\text{V} \leq DVCC \leq 2.7\text{V}$	-	12	
t_r	上升沿时间	$C_L = 30\text{pF}$, $DVCC \geq 2.7\text{V}$	-	5	ns
		$C_L = 50\text{pF}$, $DVCC \geq 2.7\text{V}$	-	8	
		$C_L = 50\text{pF}$, $2.4\text{V} \leq DVCC \leq 2.7\text{V}$	-	12	

注 1：该表基于设计和仿真的数据，未实测。

注 2：I/O 口速度由寄存器的值决定，详情请参见参考手册的相关章节。

注 3：最大频率由下图定义。

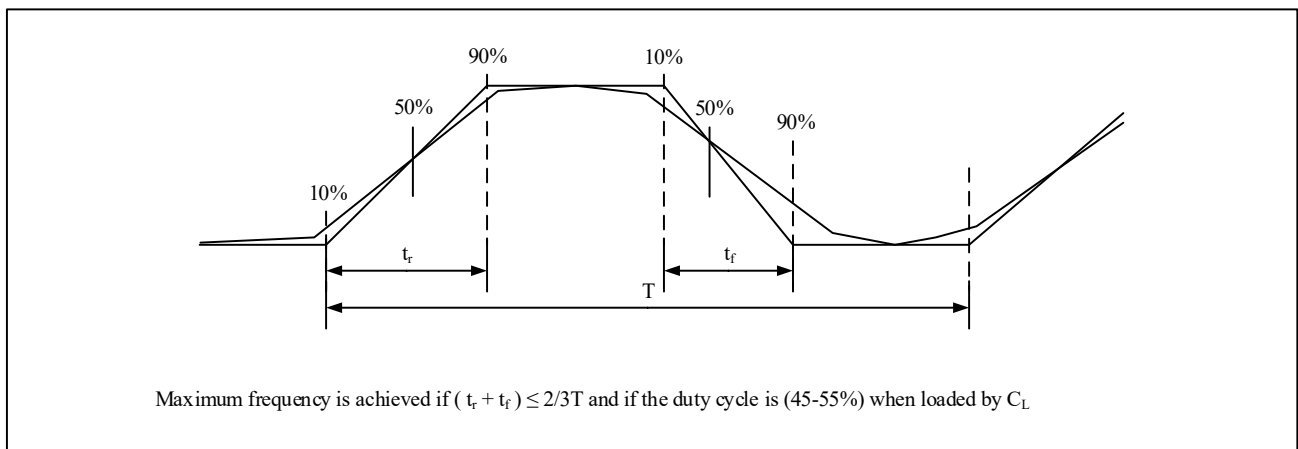


图 8-9 I/O 口交流特性定义

8.3.12 NRST 管脚特性

NRST 管脚内部连接了一个永久性的上拉电阻 R_{PU} 。

无特别声明的情况下，下表中给出的测试数据基于表 8-4 一般工作条件提示的测试环境。

表 8-27 NRST 管脚特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	低电平输入电压	-	-	-	0.3 DVCC	V
V_{IH}	高电平输入电压	-	0.7 DVCC	-	-	V
V_{hys}	迟滞电压	-	-	200	-	mV
R_{PU}	弱上拉等效电阻	-	7	8	9	k Ω
$V_{F(NRST)}$	复位脉冲宽度	-	20	-	-	us

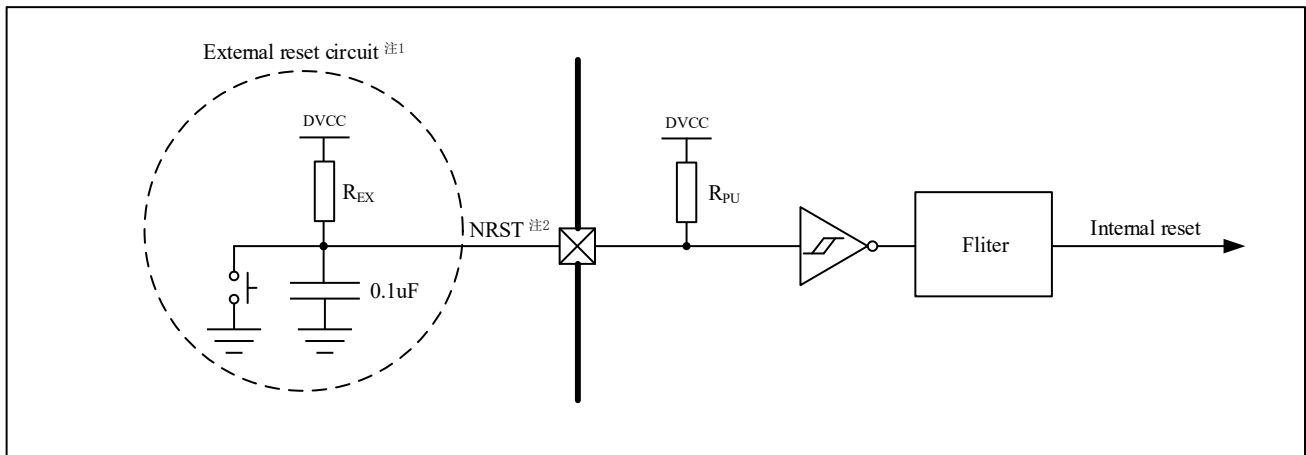


图 8-10 I/O 推荐的 NRST 管脚电路

注 1：外部电阻和电容应尽量靠近 NRST 管脚。

注 2：须确保复位时的管脚输入电压低于表 8-28 中的 V_{IL} 最大值否则不能确保复位操作。

8.3.13 ADC 特性

无特别声明的情况下，下表中给出的测试数据基于表 8-4 一般工作条件提示的测试环境。

表 8-28 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{th}	ADC开启时的 供电电压	参考电压为AVCC或ExREF	1.65	-	-	V
		参考电压为内置1.5V	1.8	-	-	
		参考电压为内置2.5V	2.8	-	-	
I_{DD}	ADC电流消耗	使能内部跟随器	-	1.3	-	mA
		禁止内部跟随器	-	0.2	-	mA
V_{AIN}	转换电压范围	使能内部跟随器	0.1	-	$V_{REF}-0.1$	V
		禁止内部跟随器	0	-	V_{REF}	
V_{ExREF}	外部参考电压范围	-	0	-	AVCC	V
R_{AIN}	输入阻抗	-	-	-	100	k Ω
C_{AIN}	内置采保电容	-	-	9	-	pF
t_s	采样时间	-	5	-	10	t_{ADCCLK}
t_{conv}	逐次比较时间	-	19			t_{ADCCLK}
Dev_{AVCC3}	AVCC/3精度	-	-	3	-	%
f_{conv}	转换速率	参考电压为内置1.5V $1.8V \leq AVCC < 2.0V$	-	-	100k	SPS
		使能内部跟随器 $AVCC < 2.4V$	-	-	200k	
		参考电压为内置1.5V $AVCC \geq 2.0V$	-	-	200k	
		参考电压为内置2.5V $AVCC < 2.4V$	-	-	200k	
		参考电压为AVCC或ExREF $2.4V \leq AVCC < 2.7V$	-	-	500k	
		参考电压为AVCC或ExREF $2.7V \leq AVCC \leq 5.5V$	-	-	1M	
		参考电压为AVCC或ExREF $AVCC < 2.4V$	-	11.1	-	
		参考电压为AVCC或ExREF $AVCC \geq 2.4V$	-	11.6	-	
ENOB	有效位	参考电压为内置1.5V	-	10.8	-	bit
		参考电压为内置2.5V	-	11.3	-	
		差分线性误差	-	-	1	
		积分线性误差	-	-	3	
E_o	偏置误差	-	-	0	-	LSB
E_g	放大误差	-	-	0	-	LSB

8.3.14 温度传感器特性

表 8-29 内置温度传感器特性

符号	参数	最小值	典型值	最大值	单位
TL	VSENSE随温度线性度	-	±2	±5	°C
V _{IH}	平均斜率	2.66	2.69	2.72	mV/°C
V _{TS25}	25°C对应电压	0.77	0.79	0.80	V
t _{setup}	建立时间	-	-	45	us

8.3.15 电压比较器特性

表 8-30 电压比较器特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{IN}	输入电压范围		0	-	AVCC	V
I _{DD}	电流消耗	极低速	-	0.2	0.3	uA
		低速	-	1	1.2	
		中速	-	8	10	
		高速	-	16	20	
t _{resp}	响应时间	极低速	-	5	10	us
		低速	-	1.5	3	
		中速	-	0.2	0.5	
		高速	-	0.1	0.2	
t _{setup}	建立时间	-	-	0.2	0.5	us
V _{offset}	偏置电压	-	-	±3	±10	mV
V _{hys}	迟滞电压	无迟滞	-	0	-	mV
		低迟滞	-	10	-	
		中迟滞	-	20	-	
		高迟滞	-	30	-	

8.3.16 可编程电压检测器特性

表 8-31 可编程电压检测器特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IN}	输入电压范围		0	-	AVCC	V
V_{TH}	检测阈值	LVD_CR0.VTH = 0x00	1.7	1.8	1.9	V
		LVD_CR0.VTH = 0x01	1.8	1.9	2.0	
		LVD_CR0.VTH = 0x02	1.9	2.0	2.1	
		LVD_CR0.VTH = 0x03	2.0	2.1	2.2	
		LVD_CR0.VTH = 0x04	2.1	2.2	2.3	
		LVD_CR0.VTH = 0x05	2.2	2.3	2.4	
		LVD_CR0.VTH = 0x06	2.3	2.4	2.5	
		LVD_CR0.VTH = 0x07	2.4	2.5	2.6	
		LVD_CR0.VTH = 0x08	2.5	2.6	2.7	
		LVD_CR0.VTH = 0x09	2.6	2.7	2.8	
		LVD_CR0.VTH = 0x0A	2.7	2.8	2.9	
		LVD_CR0.VTH = 0x0B	2.8	2.9	3.0	
		LVD_CR0.VTH = 0x0C	2.9	3.0	3.1	
		LVD_CR0.VTH = 0x0D	3.0	3.1	3.2	
		LVD_CR0.VTH = 0x0E	3.1	3.2	3.3	
		LVD_CR0.VTH = 0x0F	3.2	3.3	3.4	
I_{DD}	功耗	-	-	300	-	nA
t_{resp}	响应时间	-	-	80	-	us
t_{setup}	建立时间	-	-	300	-	us
V_{hys}	迟滞电压	-	-	40	-	mV

8.3.17 通信接口

8.3.17.1 I2C 接口特征参数

- I2C 接口符合 I2C-bus 规范和参考手册中：
 - Standard-mode(Sm):最高比特率 100k bit/s
 - Fast-mode(Fm):最高比特率 400k bit/s
 - Fast-mode Plus(Fm+):最高比特率 1M bit/s
 - 当 I2C 外设配置正确时，I2C 时序要求由设计保证。
 - SDA 和 SCL I/O 要求满足以下限制：
 - SDA 和 SCL I/O 管脚不是“真正的”开漏。
 - 当配置为开漏时，连接在 I/O 管脚和 DVCC 之间的 PMOS 被禁用，但仍然存在。
- 有关 I2C I/O 特性，请参阅 I/O 特性章节。

表 8-32 I2C 特性

符号	参数	标准模式 100k		快速模式 400k		高速模式 1M		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
$t_{w(SCLL)}$	SCL时钟低时间	4.7	-	1.25	-	0.5	-	us
$t_{w(SCLH)}$	SCL时钟高时间	4.0	-	0.6	-	0.26	-	
$t_{su(SDA)}$	SDA建立时间	250	-	100	-	50	-	ns
$t_h(SDA)$	SDA数据保持时间	0	-	0	-	0	-	
$t_h(STA)$	开始条件保持时间	2.5	-	0.625	-	0.25	-	us
$t_{su(STA)}$	重复的开始条件建立时间	2.5	-	0.6	-	0.25	-	
$t_{su(STO)}$	停止条件建立时间	0.25	-	0.25	-	0.25	-	
$t_{w(STO:STA)}$	停止条件至开始条件的时间 (总线空闲)	4.7	-	1.3	-	0.5	-	

注：由设计保证，不在生产中测试。

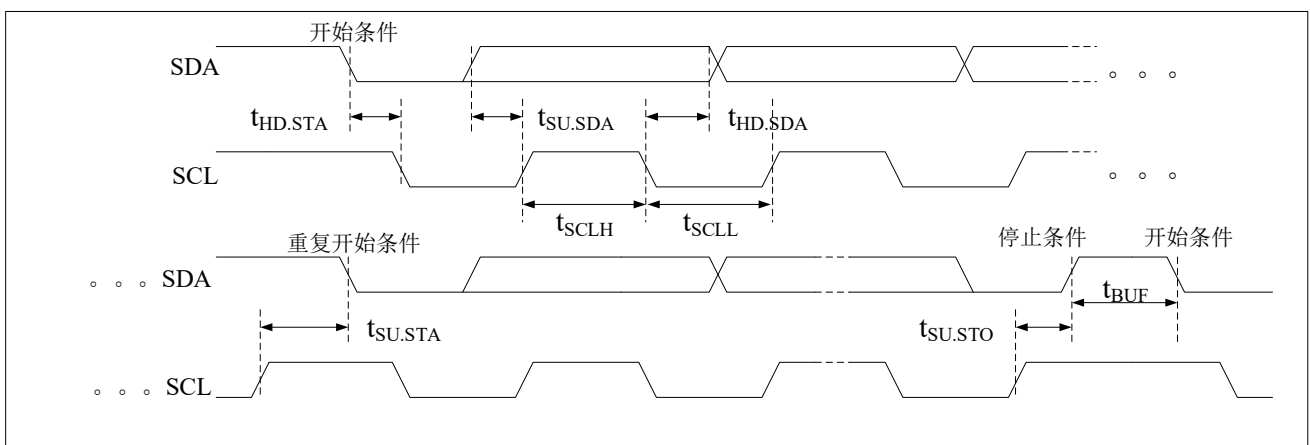


图 8-11 I2C 时序图

8.3.17.2 SPI 接口特征参数

表 8-33 SPI 特性

符号	参数	条件	最小值	最大值	单位
$t_{c(SCK)}$	SPI时钟周期	主模式 $f_{PCLK} \geq 32MHz$	62.5	-	ns
		从模式 $f_{PCLK} \geq 48MHz$	83.3	-	
$t_{su(NCS)}$	NCS 建立时间	从模式	$0.5 \times t_{c(SCK)}$	-	
$t_{h(NCS)}$	NCS 保持时间	从模式	$0.5 \times t_{c(SCK)}$	-	
$t_{w(SCKH)}$ $t_{w(SCKL)}$	SCK 高低电平时间	主模式 / 从模式	$0.5 \times t_{c(SCK)}$	-	
$t_{su(MI)}$ $t_{su(SI)}$	数据输入建立时间	主模式	10	-	
		从模式	10	-	
$t_{h(MI)}$ $t_{h(SI)}$	数据输入保持时间	主模式	2	-	
		从模式	2	-	
$t_{v(SO)}$	数据输出有效时间	从模式 $f_{PCLK} = 64MHz$	-	50	
		从模式 $f_{PCLK} = 32MHz$	-	3	
$t_{v(MO)}$	数据输出保持时间	从模式	30	-	
		主模式 $f_{PCLK} = 32MHz$	2	-	

注：数据基于表征结果，未经生产测试。

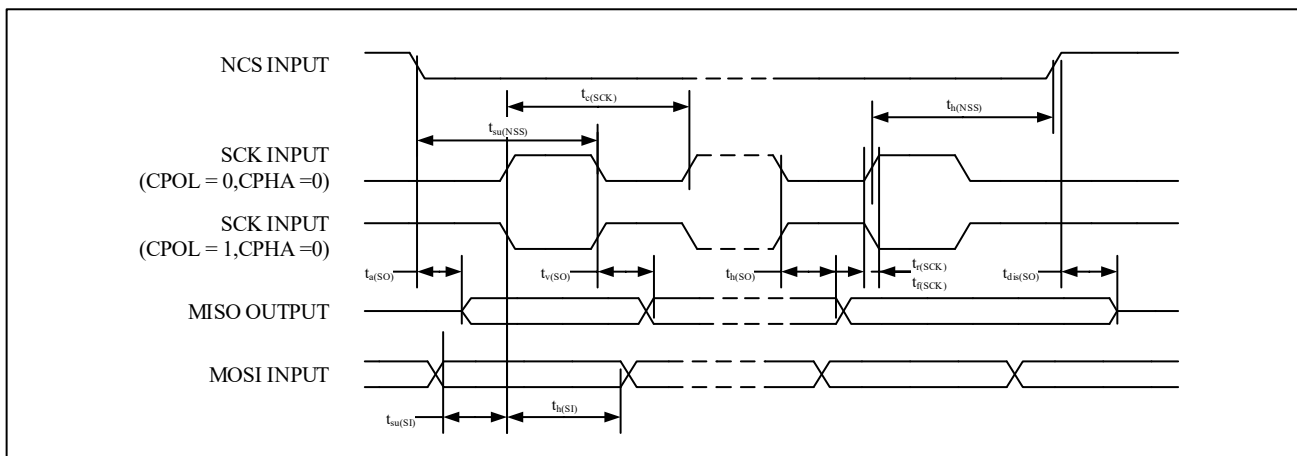


图 8-12 SPI 时序图 – 从机模式 CPHA=0

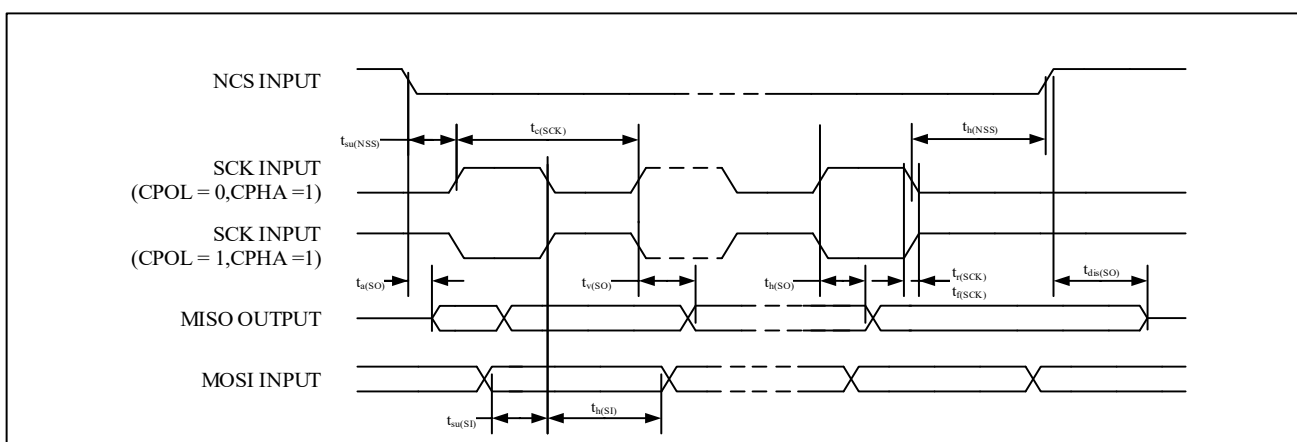


图 8-13 SPI 时序图 – 从机模式 CPHA=1

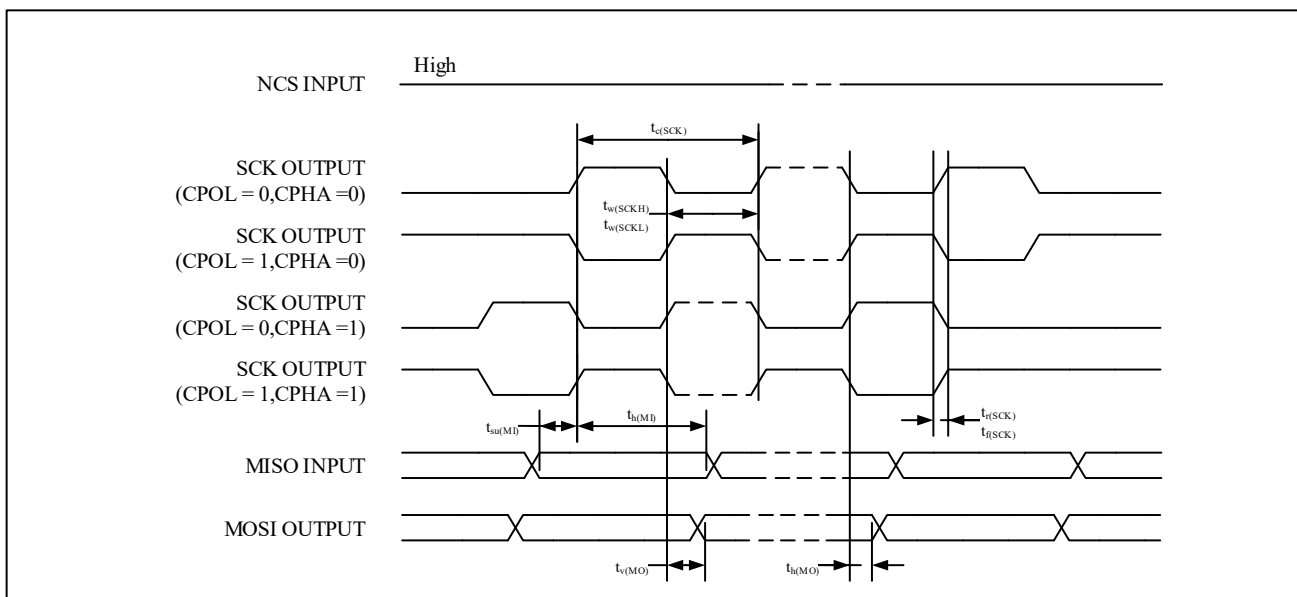
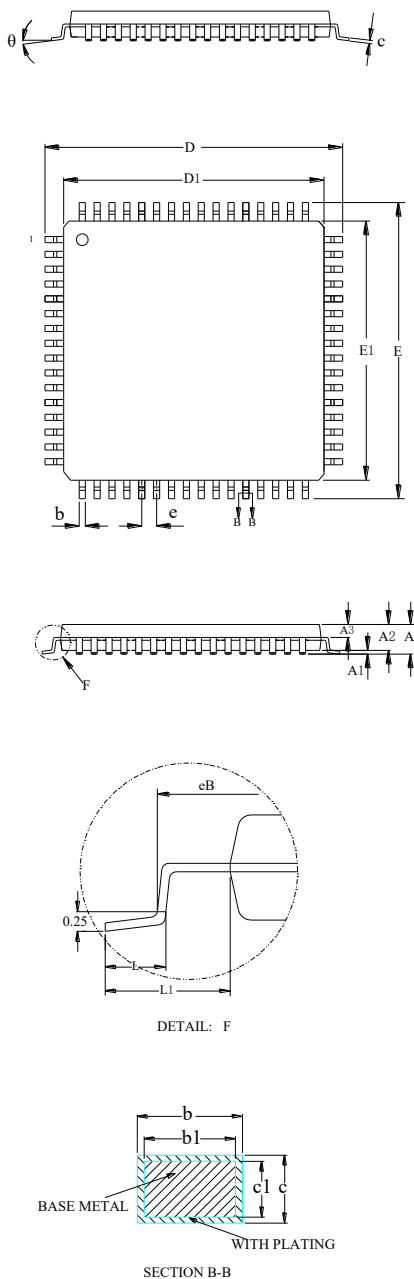


图 8-14 SPI 时序图 – 主机模式

9 封装信息

9.1 封装尺寸

9.1.1 LQFP64 封装信息

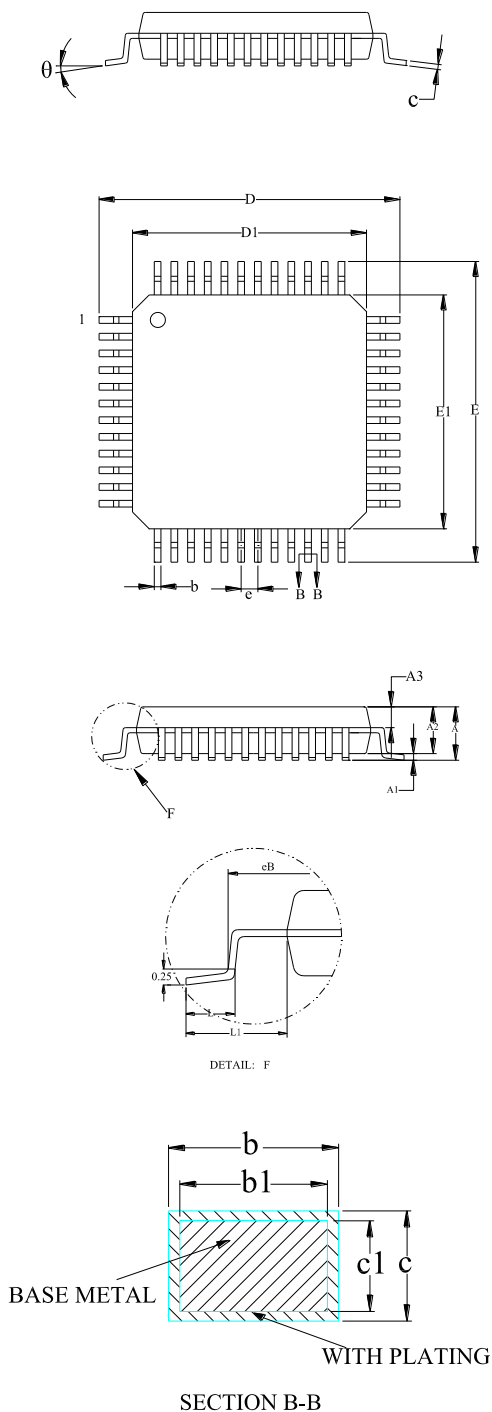


Symbol	10x10 Millimeter		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	--	0.26
b1	0.17	0.20	0.23
c	0.13	--	0.17
c1	0.12	0.13	0.14
D	11.8	12.0	12.2
D1	9.9	10.0	10.1
E	11.8	12.0	12.2
E1	9.9	10.0	10.1
eB	11.05	--	11.25
e	0.50 BSC		
L	0.45	--	0.75
L1	1.00 REF		
θ	0	--	7°

NOTE:

- Dimensions “D1” and “E1” do not include mold flash.

9.1.2 LQFP48 封装信息

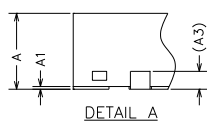
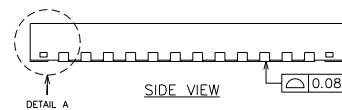
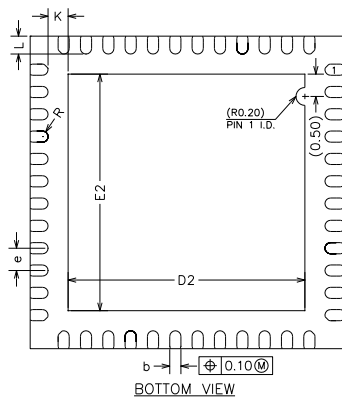
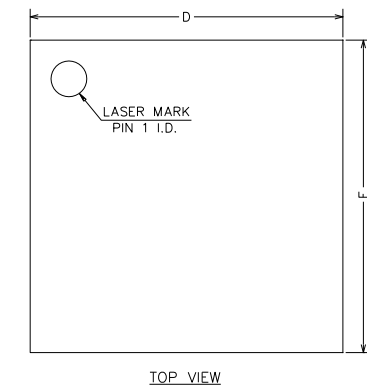


Symbol	7x7 Millimeter		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	--	0.26
b1	0.17	0.20	0.23
c	0.13	--	0.17
c1	0.12	0.13	0.14
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
eB	8.10	--	8.25
e	0.50 BSC		
L	0.40	--	0.65
L1	1.00 REF		
θ	0	--	7°

NOTE:

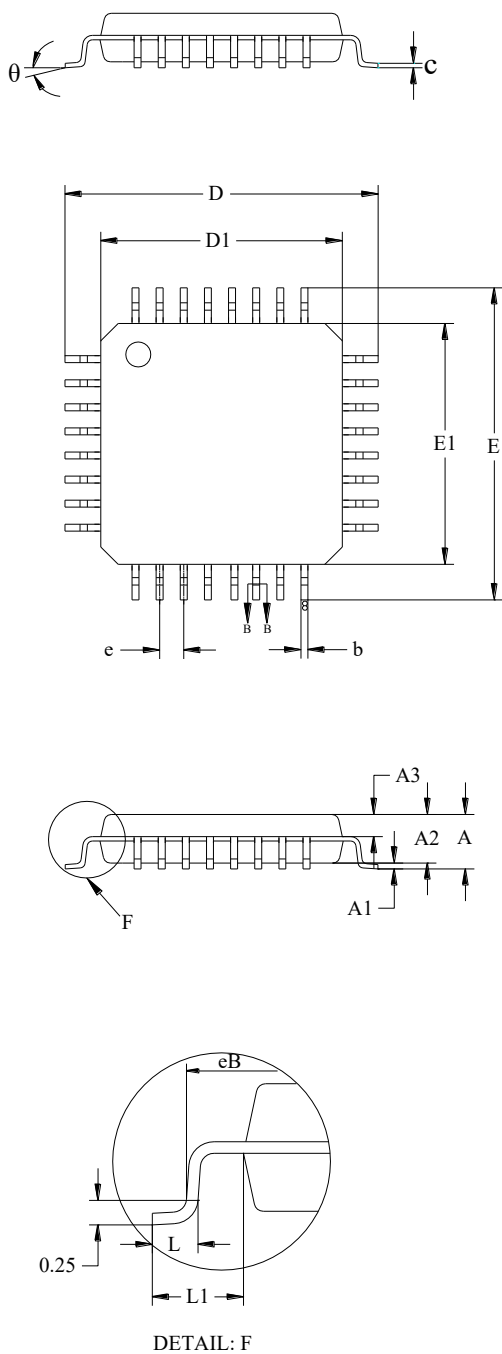
- Dimensions “D1” and “E1” do not include mold flash.

9.1.3 QFN48 封装信息



Symbol	7x7 Millimeter		
	Min	Nom	Max
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A3	0.20 REF		
b	0.20	0.25	0.30
D	6.90	7.00	7.10
D2	5.20	5.30	5.40
E	6.90	7.00	7.10
E2	5.20	5.30	5.40
e	0.40	0.50	0.60
K	0.35	0.45	0.55
L	0.30	0.40	0.50
R	0.09	--	--

9.1.4 LQFP32 封装信息

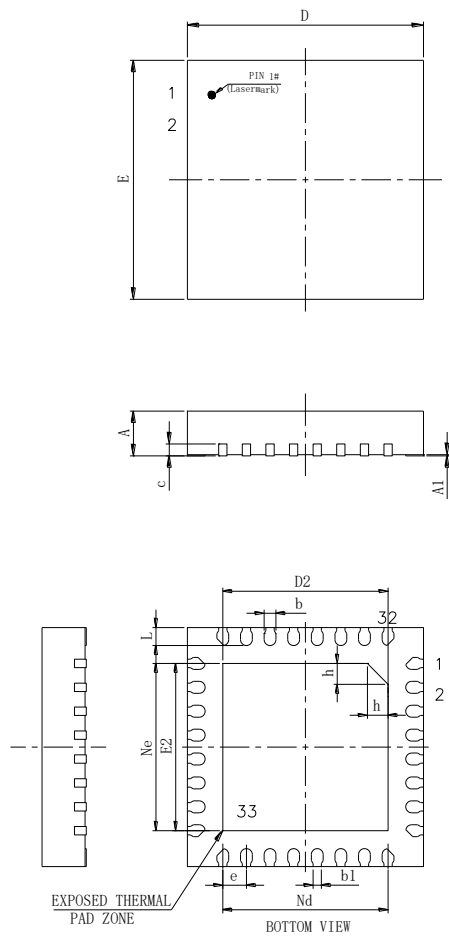


Symbol	7x7 Millimeter		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.33	--	0.41
b1	0.32	0.35	0.38
c	0.13	--	0.17
c1	0.12	0.13	0.14
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
eB	8.10	--	8.25
e	0.80 BSC		
L	0.45	--	0.75
L1	1.00 REF		
θ	0°	--	7°

NOTE:

- Dimensions “D1” and “E1” do not include mold flash.

9.1.5 QFN32 封装信息

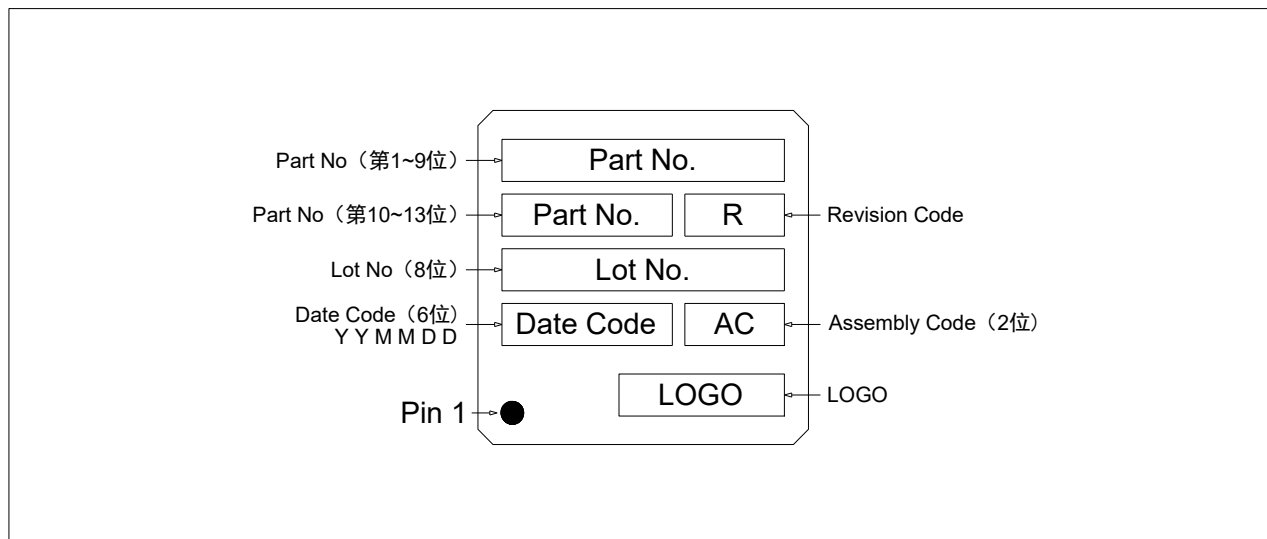


Symbol	5x5 Millimeter		
	Min	Nom	Max
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
b	0.20	0.25	0.30
b1	0.16 REF		
c	0.18	0.20	0.25
D	4.90	5.00	5.10
D2	3.70	3.80	3.90
e	0.50 BSC		
Ne	3.50 BSC		
Nd	3.50 BSC		
E	4.90	5.00	5.10
E2	3.70	3.80	3.90
L	0.25	0.30	0.35
h	0.30	0.35	0.40
载体尺寸	4.10 x 4.10		

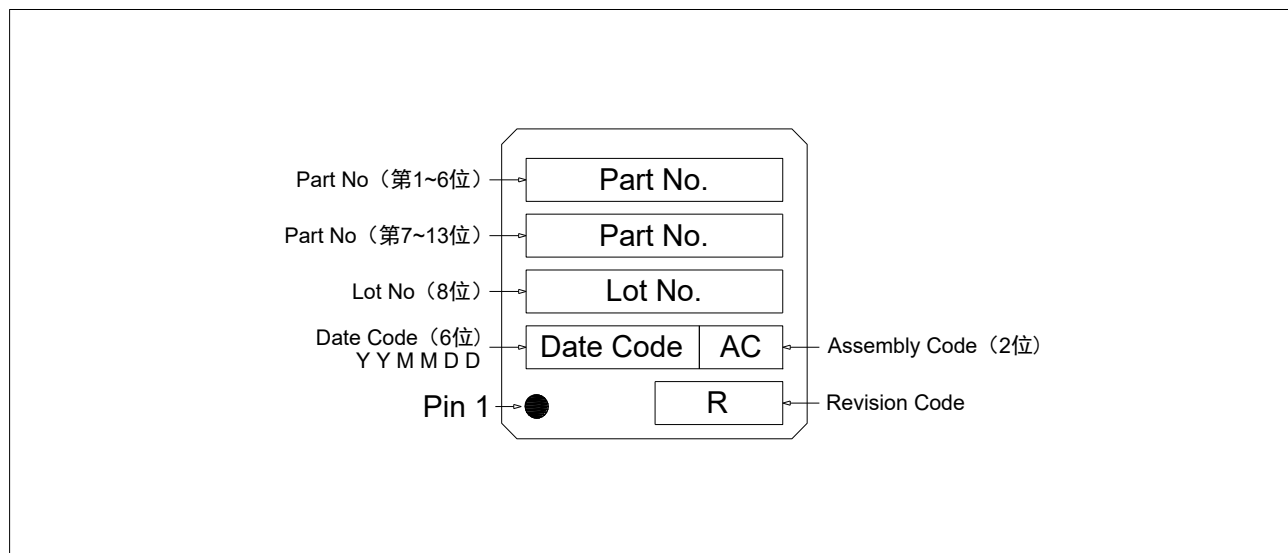
9.2 丝印说明

以下给出各封装正面丝印的 Pin 1 位置和信息说明。

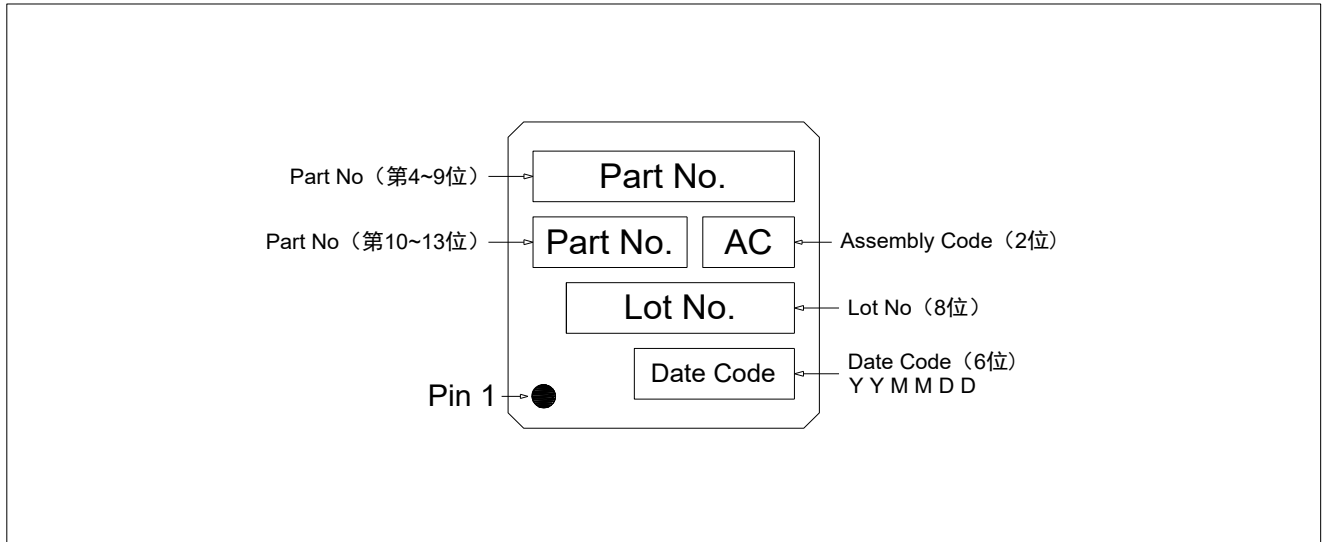
LQFP64 封装（10 x 10mm）



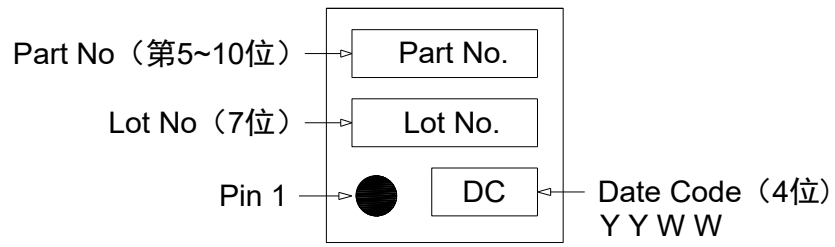
LQFP48 封装（7mm x 7mm） / LQFP32 封装（7mm x 7mm） / QFN48 封装（7mm x 7mm）



QFN32 封装 (5mm x 5mm)



QFN20 封装



9.3 热特征参数

芯片的最大结温 T_{Jmax} 不得达到表 8-3 中给出的最大结温值。

芯片的最大结温 T_{Jmax} ，可由下式计算：

$$T_{Jmax} = T_{Amax} + (P_{Dmax} \times \Theta_{JA})$$

式中：

T_{Amax} 为最大环境温度，单位是℃

Θ_J 为对应封装的结-环境热阻，单位是℃/W

P_{Dmax} 是 P_{INTmax} 和 $P_{I/Omax}$ 的和 ($P_{Dmax} = P_{INTmax} + P_{I/Omax}$)

P_{INTmax} 是 I_{DD} 和 V_{CC} 的乘积，用瓦特表示，这也是芯片内部功耗的最大值

$P_{I/Omax}$ 表示输出引脚上的最大功耗，其中：

$$P_{I/Omax} = \sum (V_{OL} \times I_{OL}) + \sum ((V_{CC} - V_{OH}) \times I_{OH})$$

需要将 I/O 口的实际电平情况和电流情况纳入精确计算。

表 9-1 封装温度特性

符号	结-环境热阻范围	值	单位
Θ_J	LQFP64 - 10x10	46	℃/W
	LQFP48 - 7x7	54	
	QFN48 - 7x7	31	
	LQFP32 - 7x7	57	
	QFN32 - 5x5	38	
	QFN20 - 3x3	90	

10 订购信息

型号举例: **SYM32 L 053 R 8 T 6 - LQFP64 xxx**

产品家族

SYM32 = SiyiMicro 32bit CPU

产品系列

L = 低功耗系列

子系列

053 = 子系列名053

管脚数量

R = 64

C = 48

K = 32

闪存容量

6 = 32KB

8 = 64KB

封装

T = LQFP

U = QFN

温度范围

6 = -40°C ~ 85°C

封装名称

LQFP64/LQFP48 / LQFP32

QNF48 / QFN32

辅助信息

TR = 卷带包装

TU = 料管包装

TY = 托盘包装

版本记录

版本	修订日期	修订说明
Beta 0.1	2023-02-09	内测版发布
Rev 1.0	2023-07-04	初版发布